

**В.К. Пономаренко, Е.В. Хардигов,
А.В. Файзуллаева**

**ЭЛЕМЕНТЫ СИСТЕМ
АВТОМАТИКИ**

Учебное пособие

Санкт-Петербург

2019

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

**ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
ПРОМЫШЛЕННЫХ ТЕХНОЛОГИЙ И ДИЗАЙНА»**

ВЫСШАЯ ШКОЛА ТЕХНОЛОГИИ И ЭНЕРГЕТИКИ

**В.К. Пономаренко, Е.В. Хардигов,
А.В. Файзуллаева**

**ЭЛЕМЕНТЫ СИСТЕМ
АВТОМАТИКИ**

Учебное пособие

Санкт-Петербург

2019

УДК 621.38 (075)

ББК 32.85 я 7

П 563

Пономаренко В.К., Хардигов Е.В, Файзуллаева А.В. Элементы систем автоматики: учебное пособие/ ВШТЭ СПбГУПТД. – СПб., 2019.– 138 с.

В учебном пособии рассмотрены цифровые элементы систем автоматики, описаны схемы, принцип работы и составлены временные диаграммы. Разделы пособия соответствуют рабочей программе дисциплины «Элементы систем автоматики» для бакалавров с профилем подготовки «Электропривод и автоматика».

Пособие предназначено для студентов очной и заочной форм обучения с направлением подготовки 13.03.02 «Электроэнергетика и электротехника».

Рецензенты:

канд. техн. наук, ведущий инженер ЗАО «Санкт-Петербургская электротехническая компания» Е.Н. Ковалев;

ст.преподаватель кафедры автоматизированного электропривода и электротехники В.И. Королев.

Рекомендовано к изданию Редакционно-издательским советом ВШТЭ СПбГУПТД в качестве учебного пособия.

© Пономаренко В.К., Хардигов Е.В.,
Файзуллаева А.В., 2019

© Высшая школа технологии и энергетики
СПбГУПТД, 2019

ПРЕДИСЛОВИЕ

В пособии рассматриваются разделы дисциплины «Элементы систем автоматики»: элементная база цифровых устройств, этапы проектирования комбинационных цифровых устройств на следующих примерах: шифраторы и дешифраторы, преобразователи кодов, мультиплексоры, демультиплексоры, сумматоры, цифровые компараторы. Подробно излагаются основные виды триггерных схем, различные виды счетчиков импульсов, большое внимание уделяется счетчикам с заданным коэффициентом счета; приводятся схемы с описанием принципа работы регистров различных типов; рассматриваются структуры аналого-цифровой и цифроаналоговых систем и различные типы АЦП и ЦАП.

Рассматриваются структуры микропроцессоров и их основные параметры, микроконтроллеры и программируемые логические контроллеры, а также системы отображения цифровой информации: индикаторные приборы и узлы цифровых устройств, различные способы отражения знаковой информации.

В последней главе описаны датчики электрических (постоянного и переменного тока и напряжения) и неэлектрических величин: давления, скорости вращения, пути и другие.

ГЛАВА 1

ИМПУЛЬСНЫЙ РЕЖИМ РАБОТЫ И ЦИФРОВОЕ ПРЕДСТАВЛЕНИЕ ПРЕОБРАЗУЕМОЙ ИНФОРМАЦИИ

1.1. Импульсный режим работы электронного устройства и преимущества передачи информации в виде импульсов

Импульсный режим широко применяется в устройствах силовой и цифровой электроники. Этот режим характерен резкими изменениями токов и напряжений.

Часто транзисторы, работающие в импульсном режиме, используются как ключи, т.е. основную долю времени они находятся в открытом или закрытом состоянии. Такой режим работы транзистора называется ключевым (импульсным). Мощность, идущая на нагрев транзистора в обоих режимах работы ключа, мала. Эта мощность возрастает в момент переключения транзистора из одного состояния в другое, но процесс переключения происходит достаточно быстро и активные потери в транзисторе малы.

В отличие от аналоговых систем, в которых сигналы изменяются непрерывно во времени, в цифровых системах используются сигналы (напряжения, тока) импульсной формы.

В отличие от аналоговых систем, в которых сигналы изменяются непрерывно во времени, в цифровых системах используются сигналы (напряжения, тока) импульсной формы.

Импульсные электронные устройства имеют ряд преимуществ перед аналоговыми системами: существенно меньшее потребление мощности; более высокую помехоустойчивость; меньшую зависимость от температуры; более высокую точность при цифровой обработке информации.

Форма импульсов (рис.1.1) может быть прямоугольной (а), трапецеидальной (б), треугольной (в), пилообразной (г) или другой.

Форма реальных импульсов несколько отличается от представленных на рисунке из-за влияния, например, реактивных элементов в электрической цепи.

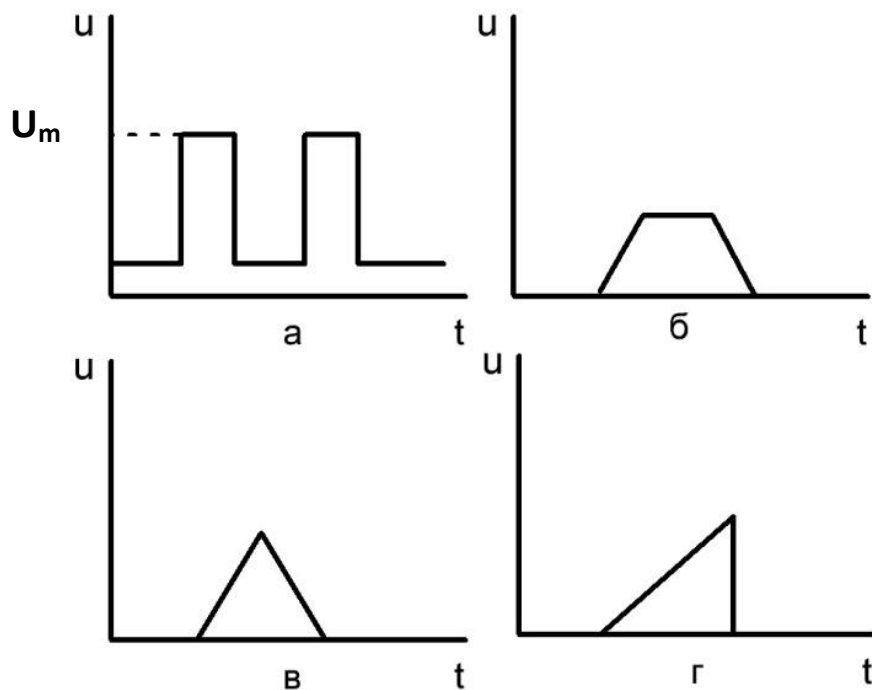


Рис. 1.1. Форма идеализированных импульсов

Наиболее часто встречающиеся прямоугольные импульсы имеют реальную форму, показанную на рис.1.2, а.

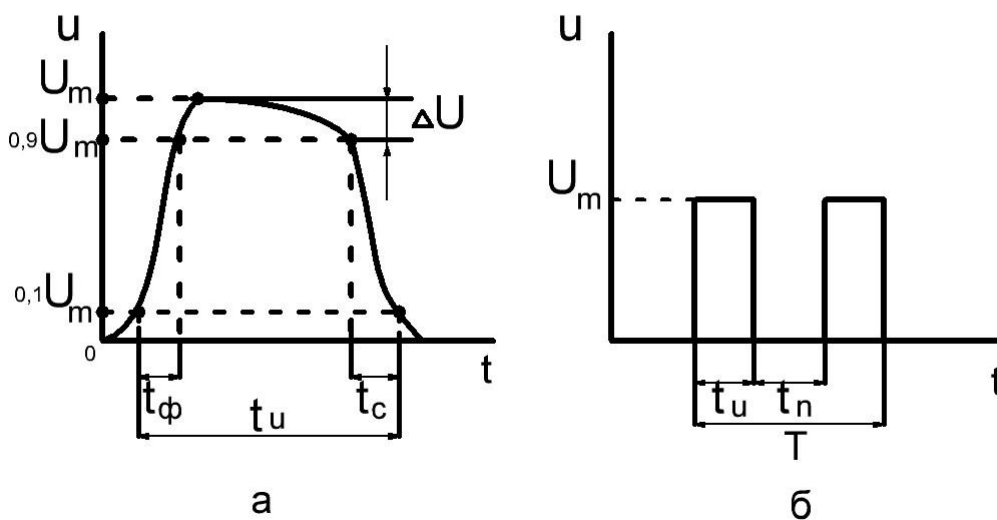


Рис. 1.2. Параметры импульсов

Для величин, указанных на рисунке 1.2,а, обычно используют следующие названия:

t_u – длительность импульса;

t_ϕ – длительность фронта импульса;

t_c – длительность среза (спада) импульса;

U_m – амплитуда импульса;

ΔU – спад вершины импульса.

На рис. 1.2,б показаны периодически повторяющиеся прямоугольные импульсы. В этом случае используются дополнительные параметры:

T – период повторения импульсов;

f – частота повторения импульсов;

t_n – длительность паузы;

$q = T/t_u$ – скважность импульсов;

$K_z = \frac{1}{q} = \frac{t_u}{T}$ – коэффициент заполнения.

1.2. Цифровые ключи на биполярных транзисторах

В устройствах цифровой электроники в большинстве случаев используются сигналы двух уровней напряжения – высокого и низкого. Цифровые схемы систем автоматики конструируют таким образом, чтобы воздействие сигнала определялось не конкретным значением его напряжения, а тем, к какому уровню этот сигнал относится. Если напряжение сигнала находится в установленных пределах (высокий или низкий уровень), то конкретное значение напряжения не влияет на работу цифрового устройства, на которое этот сигнал подан. Такие сигналы называют цифровыми.

Транзисторный ключ является одним из основных элементов устройств цифровой электроники. Параметры транзисторного ключа в большой степени определяют характеристики соответствующих электронных схем. Широкое применение имеют ключи в выходных цепях, в которых используются источники питания постоянного напряжения. Назначение этих ключей – создать на выходе напряжение, близкое к нулю (ключ открыт) или напряжение, близкое к напряжению источника питания (ключ закрыт, ток через ключ очень мал). Такой ключ называется цифровым, он применяется в схемах силовой электроники и цифровой электроники.

В информативной электронике применяются такие ключи, имеющие другое назначение: соединять или отключать источник аналогового сигнала от приемника. Такие ключи называют аналоговыми (аналоговые коммутаторы).

В качестве примера рассмотрим цифровой ключ на биполярном транзисторе, включенном по схеме с общим эмиттером (рис 1.3). На рис 1.4 приводятся выходные характеристики транзистора и нагрузочная прямая по постоянному току для схемы ключа.

При работе в ключевом режиме транзистор длительно может находиться в одном из двух состояний: отсечки (точка А) или насыщения (точка Б). В режиме отсечки входное напряжение ($U_{вх} = U_{бэ} \approx 0$) мало и ток базы $I_{б} = 0$; ток коллектора $I_{к}$ имеет минимальное значение, близкое к нулю, а напряжение на выходе транзистора $U_{кэ} \approx E_{к}$ (транзистор закрыт, ключ разомкнут).

Для перевода транзистора в режим насыщения необходимо подать на вход транзистора такое напряжение, при котором ток базы будет равен току насыщения ($I_{б4} = I_{б\text{нас}}$). В этом режиме через транзистор практически протекает максимальный ток ($I_{к} \approx \frac{E_{к}}{R_{к}}$) при минимальном выходном напряжении ($U_{кэ\text{нас}} \approx 0$); транзистор открыт, ключ замкнут.

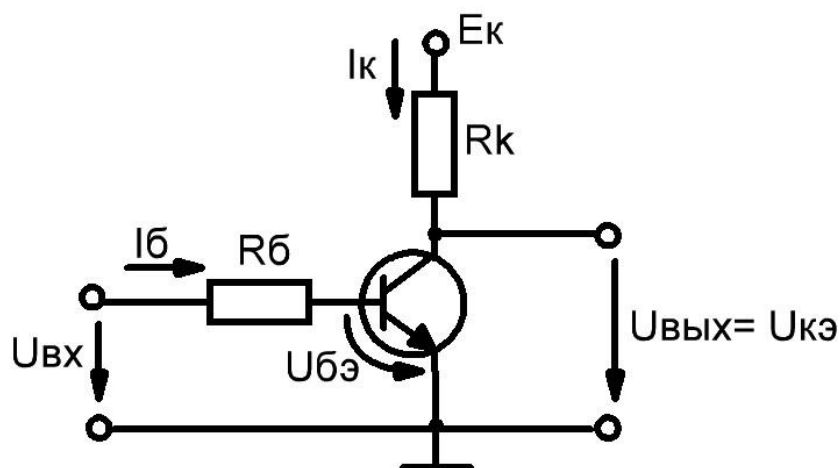


Рис. 1.3. Простейший ключ на биполярном транзисторе

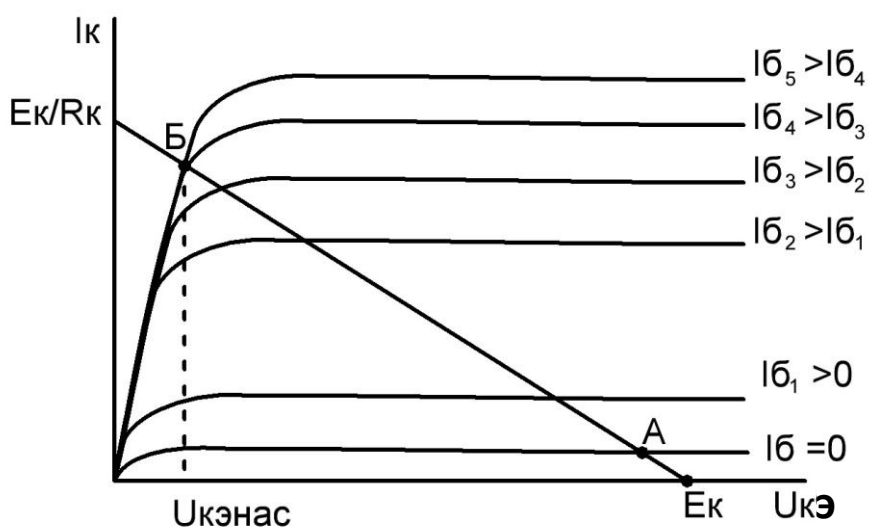


Рис. 1.4. Выходные характеристики транзистора и нагрузочная прямая по постоянному току

При работе транзистора в ключевом режиме переключение транзистора из открытого состояния в закрытое и обратно происходит скачком, благодаря чему в области усиления сигнала транзистор находится очень малое время и потери мощности в нем незначительны.

ГЛАВА 2

ЛОГИЧЕСКИЕ ФУНКЦИИ И ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

2.1. Цифровые системы и алгебра логики

Цифровым называется устройство, которое в соответствии заданным алгоритмом обрабатывает данные, представленные в виде чисел в двоичной системе счисления. В этой системе цифры могут принимать значения 0 или 1.

Сигналы большинства цифровых систем по форме близки к прямоугольным и имеют два уровня напряжения: уровню высокого напряжения приписывают состояние «1», а уровню низкого напряжения – состояние «0». Такое представление двоичных сигналов называется потенциальными, оно получило наибольшее применение. В цифровых схемах транзисторно-транзисторной логики (ТТЛ) единичному уровню сигнала соответствует напряжение на входе или выходе равное 3-5 В, а нулевому уровню сигнала – напряжение приблизительно на порядок меньше.

Комбинационные цифровые схемы создаются на базе логических элементов, реализующих определенные логические операции над переменными при двоичном способе их представления (0,1). Потенциальные логические элементы имеют непосредственную связь между собой (без конденсаторов), и они наиболее просто реализуются в интегральной технологии. Потенциальные элементы не требуют специальных преобразователей формы импульсов для кодирования выходных уровней напряжений, что снижает аппаратные затраты при построении сложных цифровых устройств.

Для описания логической функции, характеризующей работу цифрового устройства, используют два основных способа: формульное и табличное. В первом случае логическая функция записывается в виде алгебраической формулы, в которой двоичные переменные подвергаются соответствующим логическим операциям для получения необходимого результата. Во втором

случае используется таблица в виде совокупности значений логической функции при каждом наборе переменных. Для анализа и синтеза цифровых систем в качестве математического аппарата используется алгебра логики (булева алгебра по имени разработавшего её в середине XIX века ирландского математика Д.Буля).

В алгебре логики пользуются понятием «высказывание» - высказывание о любом предмете. При этом высказывание оценивают только с точки зрения его истинности. Если высказывание соответствует истине, оно имеет значение 1, а если оно ложное, то оценивается как 0. Таким образом, переменные в алгебре логики принимают только два значения: 1 или 0. Переменные (входная информация) обозначаются буквами, x, y, z ...или A, B, C , а логическая функция, как результат выполнения логических операций над переменными, обозначается обычно буквой F . К основным логическим операциям относятся: логическое отрицание, логическое сложение, логическое умножение. Логические операции по определенным правилам преобразуют входную информацию в выходную (результат).

Алгебра логики позволяет выполнять при проектировании комбинационных логических устройств следующие функции: математически записывать логическую функцию F , которая связывает входные переменные с выходом; переходить от аналитического описания процесса к схемной реализации комбинационных логических устройств; создавать комбинационные логические устройства с минимальным числом логических элементов.

2.2. Логические операции и логические элементы

Алгебра логики рассматривает в качестве базиса три логические операции: логическое отрицание (инверсия), логическое сложение (дизъюнкция), логическое умножение (конъюнкция).

Логическое отрицание

Этой логической операции соответствует таблица истинности – 1. Таблица истинности содержит все возможные комбинации значений входных переменных и соответствующие им значения логической функции. Для логической функции n переменных таблица истинности содержит 2^n строк и $(n+1)$ столбцов. Так для таблицы 1 $n=1$, число строк – 2, число столбцов – 2. В таблице истинности X – входная логическая переменная, F – логическая функция (формула) на выходе.

Логическая формула записывается следующим выражением:

$$F = \bar{X} ,$$

где логическое отрицание обозначается чертой над соответствующей входной переменной.

Таблица 1

X	F
0	1
1	0

Логическую формулу можно прочесть следующим образом: логическая функция F равна не \bar{X} (X с отрицанием). Логическая функция F имеет значение 1 или 0 в зависимости от значения входной переменной X .

Логическое отрицание реализуется логическим элементом НЕ, изображенным на рис. 2.1. Схема имеет один вход x и один выход F . Кружок справа обозначает знак инверсии по выходу.

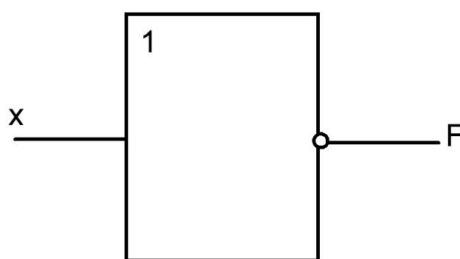


Рис. 2.1. Логический элемент НЕ (инвертор)

Логическое сложение (дизъюнкция)

Таблица истинности 2 представлена для двух переменных: X , Y . Для логического сложения может быть до десяти входных переменных.

Из таблицы истинности записывается логическая формула

$$F = X + Y,$$

где операция логического сложения обозначается знаком $+$ (\vee), который читается как ИЛИ.

Из таблицы 2 видно, что $F=1$, если хотя бы одна из переменных равна 1. Следовательно, $F=1$, когда $X=1$ или $Y=1$, или $X=1$ и $Y=1$.

Таким образом, можно записать для каждой строки таблицы 2:

$$0+1=1, 1+0=1, 1+1=1, 0+0=0.$$

Логическое сложение реализуется схемой ИЛИ (рис. 2.2). Эту схему часто называют собирательной.

Таблица 2

X	Y	F
0	1	1
1	0	1
1	1	1
0	0	0

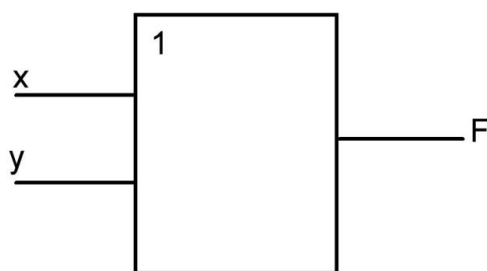


Рис. 2.2. Логический элемент ИЛИ

Логическое умножение (конъюнкция)

Таблица истинности 3 для этой операции представлена для двух переменных X, Y (переменных может быть до 10).

Из таблицы видно, что $F=1$, когда все переменные равны 1. Из таблицы истинности записывается логическая функция:

$$F=X \cdot Y,$$

где операция логического умножения обозначается знаком умножения \cdot (точка) или символом \wedge , который читается как И.

Из таблицы видно, что $F=1$, когда $X=1$ и $Y=1$ (все переменные равны 1).

Логическое умножение реализуется логическим элементом И (рис.2.3) (схема И – схема совпадений).

Таблица 3

X	Y	F
0	0	0
1	0	0
0	1	0
1	1	1

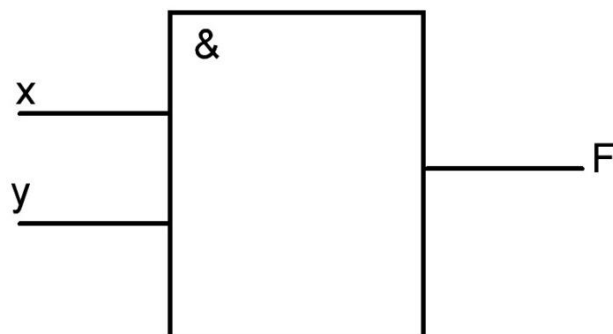


Рис. 2.3. Логический элемент И

Рассмотрим некоторые дополнительные логические элементы, которые могут применяться в цифровых устройствах.

Логический элемент исключаящие ИЛИ (сумма по модулю 2)

Таблица истинности 4 логического элемента соответствует суммированию двух однозарядных двоичных чисел: $0+0=0$, $1+1=0$, $0+1=1$, $1+0=1$.

Логика работы: при одинаковых входных переменных логическая функция $F=0$, при разных значениях переменных $F=1$ ($X=0, Y=1$ или $X=1, Y=0$).

Из таблицы истинности 4 для случаев $F=1$ можно получить формулу для логической функции F :

$$F = \bar{X} \cdot Y + X \cdot \bar{Y}.$$

Формула может быть прочитана следующим образом: логическая функция $F=1$, когда не X и Y или когда X и не Y .

Таблица 4

X	Y	F
0	0	0
1	1	0
0	1	1
1	0	1

Логическая формула реализуется логическим элементом *исключающее ИЛИ* (рис.2.4). Данная логическая операция обозначается символом \oplus либо $(+)$.

Следовательно, логическая формула может быть записана следующим образом:

$$F = X \oplus Y = X (+) Y.$$

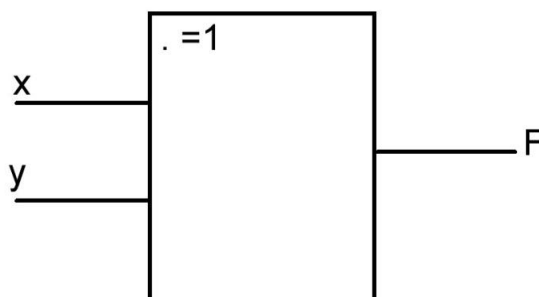


Рис.2.4. Логический элемент *исключающее ИЛИ*

Логический элемент Запрет

Логический элемент создается на базе элемента И, но с инверсией по входу (рис.2.5), он имеет два входа: X – разрешающий вход (прямой вход), Y – запрещающий вход (инверсный вход).

Логика работы элемента *Запрет*: выходной сигнал F повторяет сигнал на разрешающем входе X , если $Y = 0$; при $Y=1$ сигнал на выходе $F=0$ независимо от значения X . Из таблицы истинности 5 можно получить логическую формулу для F :

$$F = X \cdot \bar{Y}.$$

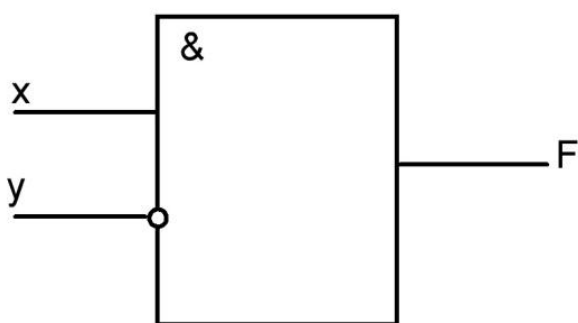


Рис.2.5. Логический элемент Запрет

Таблица 5

X	Y	F
0	0	0
1	0	1
0	1	0
1	1	0

2.3. Некоторые тождества и законы алгебры логики

В алгебре логики необходимо соблюдать следующий порядок выполнения логических операций: сначала выполняется операция логического отрицания,

затем операция логического умножения, потом операция логического сложения. Для изменения порядка действий используются скобки.

Для алгебры логики действуют следующие законы математики: переместительный, сочетательный, распределительный. Например, для логических переменных X, Y можно записать *переместительный закон*:

$$X+Y=Y+X, X \cdot Y=Y \cdot X.$$

Для переменных X, Y, Z можно записать *сочетательный закон*:

$$X+Y+Z=(X+Y)+Z=X+(Y+Z), X \cdot Y \cdot Z=(X \cdot Y) \cdot Z=X \cdot (Y \cdot Z);$$

распределительный закон:

$$X \cdot (Y+Z)=X \cdot Y+X \cdot Z.$$

Рассмотрим некоторые часто встречающиеся тождества:

$$X+0=X; X \cdot 0=0; X+1=1; X \cdot 1=X; X+X=X;$$

$$X \cdot X=X; X+\bar{X}=1; X \cdot \bar{X}=0; \bar{\bar{X}}=X.$$

Правильность всех перечисленных соотношений легко доказывается перебором всех возможных значений логических переменных (0 или 1). Число возможных комбинаций переменных невелико, и проверка выполнения равенств для каждой комбинации не является сложной задачей.

К основным законам алгебры логики относятся законы инверсии (законы де Моргана). Первый закон де Моргана формулируется следующим образом: инверсия суммы переменных равна произведению их инверсий. Для переменных X, Y, Z закон записывается следующим образом:

$$\overline{X+Y+Z}=\bar{X} \cdot \bar{Y} \cdot \bar{Z}.$$

Второй закон де Моргана применяется к инверсии произведения: инверсия произведения переменных равна сумме их инверсий. Следовательно,

$$\overline{X \cdot Y \cdot Z}=\bar{X} + \bar{Y} + \bar{Z}.$$

2.4. Комбинированные логические элементы

Логический элемент выполняется обычно в виде интегральной микросхемы.

Часто микросхема состоит из нескольких логических элементов, такая микросхема называется комбинированной. Наиболее широко применяются комбинированные логические элементы И – НЕ, ИЛИ – НЕ, которые совмещают логическую операцию НЕ с операциями И (ИЛИ) соответственно.

Таблица 6 представляет таблицу истинности логического элемента И-НЕ (рис.2.6) на два входа (X_1, X_2).

Таблица 6

X_1	X_2	$X_1 \cdot X_2$	F
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

Логическая формула (инверсия по выходу) имеет вид:

$$F = \overline{X_1 \cdot X_2}$$

Инверсия произведения двух логических переменных называется штрих (функция) Шеффера (рис.2.6).

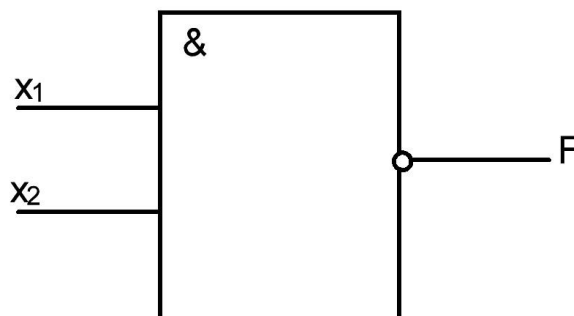


Рис.2.6. Логический элемент И-НЕ

Таблица 7 – таблица истинности логического элемента ИЛИ – НЕ на два входа (X_1, X_2).

Таблица 7

X_1	X_2	$X_1 + X_2$	F
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

Логическая формула следует из таблицы истинности:

$$F = \overline{X_1 + X_2}.$$

Инверсия суммы двух логических переменных называется *стрелка Пирса* (рис. 2.7).

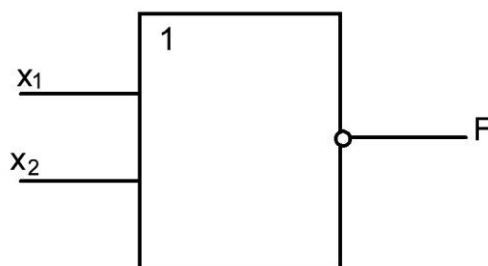


Рис.2.7. Логический элемент ИЛИ-НЕ

Основные логические операции (НЕ, И, ИЛИ) можно реализовать на базе элементов И-НЕ (ИЛИ-НЕ). При проектировании комбинационных логических устройств стремятся ограничить набор логических элементов, можно использовать однотипные логические элементы И-НЕ(ИЛИ-НЕ).

В качестве примера рассмотрим реализацию основных логических операций на базе логических элементов И-НЕ.

Наиболее просто реализуется схема НЕ на базе одного логического элемента И-НЕ на два входа (рис. 2.8). На входы подается сигнал X, схема И-НЕ перемножает входные сигналы $X \cdot X = X$ и производит отрицание результата на выходе:

$$F = \overline{X \cdot X} = \overline{X}.$$

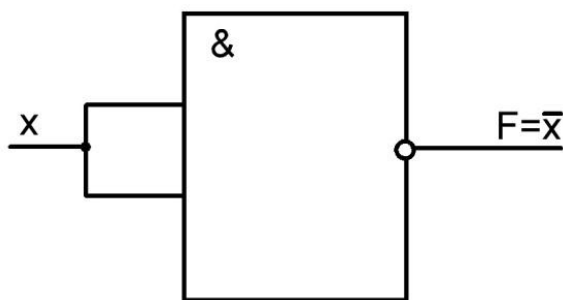


Рис. 2.8. Схема НЕ на логическом элементе И-НЕ

Схема И с двумя переменными X, Y получается с помощью двух логических элементов И-НЕ (рис.2.9). Доказательством является выражение для логической формулы результата с учетом тождества $\overline{X \cdot Y} \cdot \overline{X \cdot Y} = \overline{X \cdot Y}$.

Логическая функция

$$F = \overline{\overline{X \cdot Y} \cdot \overline{X \cdot Y}} = \overline{\overline{X \cdot Y}} = X \cdot Y.$$

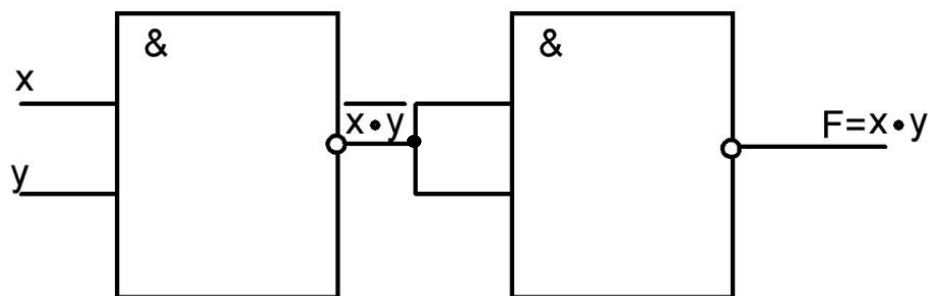


Рис. 2.9. Схема И на логических элементах И-НЕ

На рис.2.10 представлена схема ИЛИ. В левой части рисунка схемы И-НЕ выполняют функции инвертора (отрицания) для входных переменных X, Y . Выходная схема И-НЕ перемножает переменные \overline{X} и \overline{Y} и производит отрицание этого произведения. Для преобразования логической функции F

используется второй закон де Моргана: инверсия произведения переменных $\overline{\overline{X} \cdot \overline{Y}}$ равна сумме их инверсий. Таким образом, логическая функция:

$$F = \overline{\overline{X} \cdot \overline{Y}} = \overline{\overline{X}} + \overline{\overline{Y}} = X + Y.$$

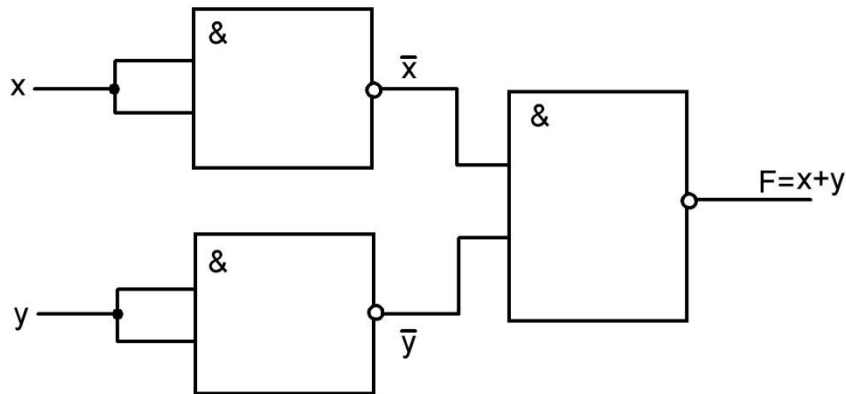


Рис. 2.10. Схема ИЛИ на логических элементах И-НЕ

2.5. Классификация и основные параметры логических элементов

Классификация связана с тем, какие полупроводниковые приборы являются основными в соответствующих интегральных схемах, а также с учетом использованных схемотехнических решений.

Основными классами логических элементов (логиками), которые находят наибольшее применение, являются:

- транзисторно – транзисторная логика (ТТЛ);
- транзисторно - транзисторная логика с диодами Шоттки (ТТЛ Ш);
- логика на основе МОП – транзисторов с каналами типа p (p-МДП) или типа n(n- МДП);
- логика на базе комплементарных ключей на МДП – транзисторах (КМОП); комплементарные транзисторы – это взаимодополняющие друг друга транзисторы с разными типами проводимости канала;
- логика И²Л на основе многоколлекторных транзисторов с инжекционным питанием;

- эмиттерно – связанная логика (ЭСЛ) – транзисторная логика на переключателях тока (балансный каскад).

Логические элементы выпускаются в виде серий микросхем, которые имеют общие схемотехнические решения, уровни электрических сигналов и напряжения питания. Микросхемы одной серии полностью совместимы по электрическим параметрам.

Наиболее важными параметрами логических элементов в соответствующей серии микросхем являются: быстродействие, нагрузочная способность, потребляемая мощность, помехоустойчивость.

Быстродействие характеризуется временем задержки распространения сигнала $t_{зр}$ и максимальной рабочей частотой F_{\max} . Различают время задержки при переключении из состояния 1 в состояние 0 и при переключении из состояния 0 в состояние 1. Пользуются понятием *среднее время распространения сигнала* $t_{зр} = 0,5 (t_{зр10} + t_{зр01})$.

Максимальная рабочая частота F_{\max} – это частота, при которой сохраняется работоспособность схемы.

Нагрузочная способность логического элемента определяется коэффициентом объединения по входу $K_{об}$ и коэффициентом разветвления по выходу $K_{раз}$.

Величина $K_{об}$ – это число однотипных логических элементов, которые можно подключить к входу элемента без нарушения функционирования (число логических входов). Величина $K_{раз}$ – число однотипных логических элементов, которые могут быть подключены к выходу данного логического элемента без нарушения его нормальной работы. Типичные значения этих коэффициентов: $K_{раз} = 4 \dots 10$, $K_{об} = 2 \dots 8$.

Помехоустойчивость в статическом режиме – это максимальное значение напряжения помехи на входе элемента, при котором не происходит ложного срабатывания.

Важным параметром является мощность, потребляемая микросхемой от источника питания. Если эта мощность различна для двух логических

состояний, то указывается средняя потребляемая мощность. Кроме того, параметрами логических элементов являются напряжение питания, а также входные и выходные пороговые напряжения высокого и низкого уровней.

2.6. Схемы логических элементов

Элементной базой логических элементов (И –НЕ, ИЛИ – НЕ) являются интегральные микросхемы на основе диодов и различных типов транзисторов, работающих в ключевом режиме.

В качестве примера рассмотрим логический элемент И-НЕ с транзисторно-транзисторной логикой (рис. 2.11). Операция И реализуется многоэмиттерным транзистором $VT1$, эквивалентным трем биполярным $n-p-n$ транзисторам. Многоэмиттерные транзисторы легко реализуются в интегральной технологии и служат основой элементов ТТЛ. Транзистор $VT1$ имеет общий коллектор, общую базу и несколько эмиттеров (в зависимости от количества входных переменных). Отдельные эмиттеры не оказывают влияния друг на друга, каждому эмиттеру соответствует свой $p-n$ переход.

На рис. 2.11 транзистор $VT1$ имеет три эмиттера, на которые подаются входные переменные X_1, X_2, X_3 . Выходной транзистор $VT2$ выполняет роль простого инвертора (схема НЕ), логическая функция $F = \overline{X_1 \cdot X_2 \cdot X_3}$.

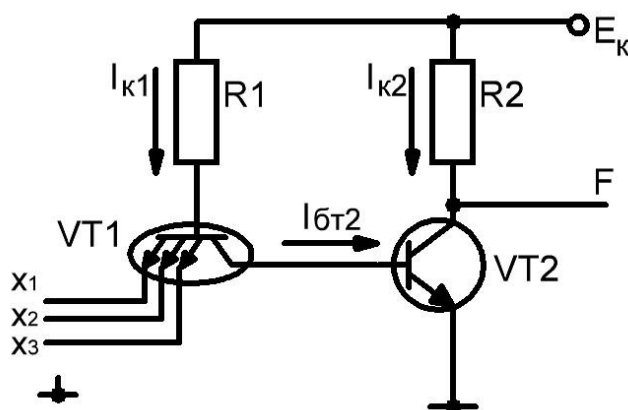


Рис. 2.11. Схема И-НЕ (ТТЛ)

Если на входы поданы сигналы 1 ($X_1 = 1, X_2 = 1, X_3 = 1$), то все переходы эмиттер-база транзистора $VT1$ будут закрыты, а коллекторный переход будет открыт. В этом случае через резистор $R1$ в базу транзистора $VT2$ будет поступать ток $I_{бТ2} = I_{К1}$, достаточный для насыщения транзистора $VT2$ (режим насыщения). В этом режиме ток $I_{К2}$ будет большим, а напряжение $U_{кэТ2} = F \approx 0$. Таким образом, выполняется логическая операция:

$$F = \overline{1 \cdot 1 \cdot 1} = \overline{1} = 0.$$

Если на одном из входов появится сигнал 0, то соответствующий эмиттерный переход будет открытым (на нем прямое напряжение). В этом случае ток $I_{К1}$ устремится во входную цепь открытого эмиттерного перехода, имеющего очень малое сопротивление по сравнению с входным сопротивлением транзистора $VT2$. В результате ток $I_{бТ2}$ уменьшается практически до нуля, и транзистор $VT2$ запирается (режим отсечки). В этом режиме ток $I_{К2}$ будет близким к 0, а выходное напряжение $U_{кэТ2} = F \approx E_k$. Выполняется логическая операция:

$$(F = \overline{0 \cdot 1 \cdot 1} = \overline{0} = 1).$$

По сравнению со схемой с простым инвертором более широко применяется схема ТТЛ со сложным двухкаскадным инвертором, которая позволяет увеличить нагрузочную способность ($K_{раз} > 10$) и помехоустойчивость логического элемента. Такие элементы применяют в периферийных блоках интегральных микросхем для подключения к внешним линиям связи. Микросхемы ТТЛ имеют напряжение питания +5 В, выходное напряжение низкого уровня – не более 0,4 В, а высокого уровня – не менее 2,4 В.

Выпускаются микросхемы ТТЛ с третьим (высокое выходное сопротивление) состоянием (Z состояние), что значительно расширяет их функциональные возможности.

Основными недостатками ТТЛ, ограничивающими их применения в больших интегральных схемах, является сложность технологии, большое

число компонентов (в том числе резисторов), небольшая величина коэффициента $K_{об}$ и сравнительно высокая потребляемая мощность.

Для увеличения быстродействия элементов ТТЛ используются транзисторы с диодами Шоттки (логика ТТЛШ). Микросхемы ТТЛШ совместимы по логическим уровням, помехоустойчивости и напряжению питания с микросхемами ТТЛ. Время задержки распространения сигнала элементов ТТЛШ в среднем в два раза меньше по сравнению с аналогичными элементами ТТЛ (~20 нс).

Широкое применение получили логические элементы на полевых транзисторах. В микросхемах n -МОП и p -МОП используются транзисторные ключи соответственно с каналами n - типа и p -типа (реализуют функцию ИЛИ – НЕ, И-НЕ). МДП – транзисторы с каналами n -типа занимают наименьшую площадь на кристалле. Элементы p -МДП, n -МДП имеют малую величину потребляемой мощности и хорошую помехоустойчивость.

Для минимального потребления энергии используются МДП – транзисторы с каналами обоих типов (комплементарные ключи). Применение взаимодополняющих друг друга (комплементарных) транзисторов с каналами n -типа и p -типа в схеме логического элемента значительно снижает потребление энергии, так как он потребляет мощность от источника питания только в короткие промежутки времени, когда происходит его переключение. Логические элементы КМОП отличаются самой высокой помехоустойчивостью и большим коэффициентом разветвления. К недостаткам КМОП можно отнести повышенное выходное сопротивление и длительную задержку (200 нс).

Интегральная инжекционная логика (ИИЛ или I^2L) построена на использовании биполярных транзисторов и применении соответствующих схемотехнических решений. Один из транзисторов выполняет роль инжектора, который обеспечивает поступление основных носителей заряда из эмиттера транзистора в базу многоколлекторного транзистора. Если входной сигнал соответствует 0, то инжекционный ток не протекает в базе

многоколлекторного транзистора, и на выходе этого транзистора появляется сигнал, соответствующий логической 1. При входном напряжении, соответствующим логической 1, инжекционный ток протекает по базе многоколлекторного транзистора и на выходе устанавливается логический 0.

На основе логики И²Л выполняют логические элементы ИЛИ-НЕ, И-НЕ. Для питания логических элементов используются низковольтные источники ($\approx 1,2$ В), что обеспечивает небольшое потребление мощности микросхемой.

Логические элементы инжекционной логики имеют уровни напряжения нулевого и единичного сигналов, отличающиеся от стандартных уровней ТТЛ.

Наиболее быстродействующие логические элементы (задержка распространения сигнала – 2 нс) построены на основе эмиттерно-связанной логики (ЭСЛ). Основой логического элемента является токовый ключ на биполярных транзисторах. Его схема подобна схеме дифференциального усилителя (балансного каскада). Микросхема ЭСЛ питается отрицательным напряжением, влияние нестабильности которого минимальное. Исключение режима насыщения транзисторов обеспечивает высокое быстродействие элемента, которое достигается за счет увеличения потребляемой мощности. Отрицательные значения логических уровней выходных сигналов ЭСЛ приводят к электрической несовместимости с другими типами логических элементов.

2.7. Особенности выходных каскадов цифровых микросхем

Часто возникает необходимость подключения выходов нескольких цифровых интегральных микросхем к общей нагрузке.

Одним из способов объединения выходов микросхем является использование в выходных каскадах биполярных или полевых транзисторов,

один из выводов которых (коллектор, эмиттер или сток, исток) никуда не подключен. Такой вывод называется открытым

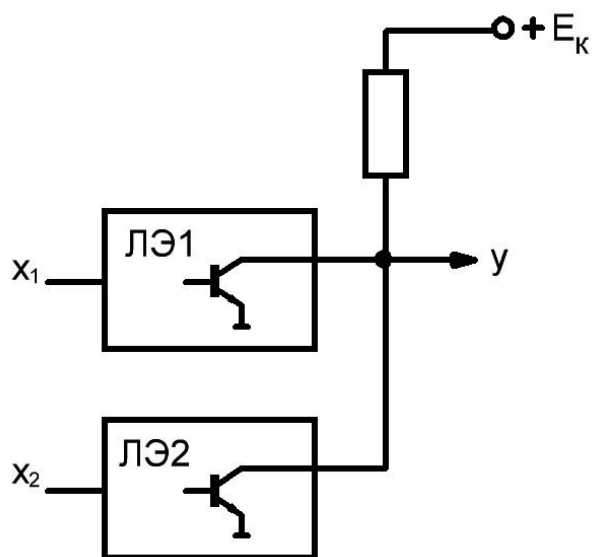


Рис. 2.12. Микросхемы логических элементов с открытым коллектором

На рис. 2.12 показано, как объединяются выходы микросхем с открытым коллектором. Выходное напряжение Y принимает уровень логической единицы, когда транзисторы выходных каскадов закрыты, в этих случаях на входы X_1 , X_2 поданы логические нули. Таблица истинности 8 – с учетом инвертирования сигнала в выходном каскаде. Схема реализует логическую операцию ИЛИ-НЕ:

$$Y = \overline{X_1 + X_2}.$$

Таблица 8

X_1	X_2	Y
0	0	1
0	1	0
1	0	0
1	1	0

Если открытым являются коллектор транзистора типа $n-p-n$, эмиттер транзистора типа $p-n-p$, сток транзистора с каналом n -типа; исток с каналом p -типа, то вывод обозначается символом \diamond .

Если открытым являются коллектор транзистора типа $p-n-p$, эмиттер транзистора типа $n-p-n$; сток транзистора с каналом p -типа, исток транзистора с каналом n -типа, открытый вывод обозначается символом \diamond .

Выходные каскады некоторых микросхем могут работать в режиме, когда микросхема отключается от нагрузки. В этом случае микросхема обладает, наряду с высоким и низким логическими уровнями выходного сигнала, еще так называемым третьим состоянием (Z -состояние), характеризуемым очень высоким выходным сопротивлением микросхемы. Использование Z -состояния является еще одним способом объединения выходов микросхем при подключении к общей шине многих устройств. Примером возникновения Z -состояния является участок схемы с двумя закрытыми транзисторами (рис.2.13). Микросхема и нагрузка R_H фактически являются разъединенными. Наличие третьего состояния обозначается символом \diamond .

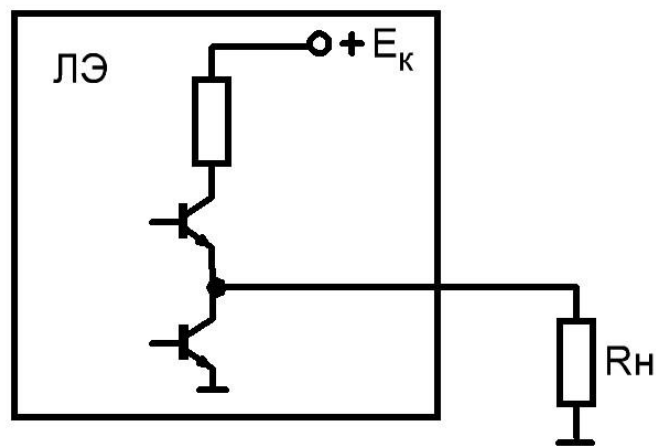


Рис. 2.13. Схема с использованием Z -состояния

Если в выходных каскадах микросхем используются мощные транзисторы, то выходные каскады создают большие выходные токи. В этом случае на условном графическом обозначении микросхем используется символ \triangleright .

2.8. Преобразователи уровня сигналов и шинные формирователи

Преобразователи уровней используются для согласования входных и выходных сигналов по напряжению и току при построении цифровых устройств на различных логических элементах.

Логические элементы, в зависимости от элементной базы, имеют разное напряжение питания и разные значения входных и выходных сигналов. Кроме того, однотипные интегральные микросхемы могут иметь разное напряжение питания, и при их использовании в одном цифровом устройстве также требуется согласование уровней сигналов.

Например, для микросхем ТТЛ, которые построены на биполярных транзисторах, уровень логического 0 входного напряжения $\leq 0,8$ В, уровень 0 выходного напряжения $\leq 0,4$ В; уровень логической 1 входного напряжения $\geq 2,4$ В, а уровень логической 1 выходного напряжения $\geq 2,8$ В. Напряжение питания ТТЛ равно 5 В.

Для микросхем на полевых транзисторах (КМОП) напряжение питания E лежит в диапазоне от 5-15 В, а уровень логического 0 входного напряжения $\leq 0,2E$, уровень логического 0 выходного равен 0 В; уровень логической 1 входного напряжения $\geq 0,8E$, а уровень логической 1 выходного напряжения равен E .

Большинство элементов КМОП имеют малые выходные токи, поэтому к ним нельзя подключать даже один вход элементов ТТЛ при одинаковом напряжении E .

Для согласования выходов КМОП элементов со входами ТТЛ применяются различные микросхемы, например, К176ПУ1 и другие. По принципу работы они аналогичны друг другу, но имеют разное число входов. Для согласования выходов ТТЛ микросхем со входами КМОП элементов применяются микросхемы К176ПУ5, К561П8 и другие. По принципу функционирования они аналогичны, но имеют разное число

преобразователей, требуют одного или двух источников питания и осуществляют инвертирование сигнала или нет.

Сигналы между логическими элементами, узлами и блоками передаются по линиям связи, объединенным в шины, к которым могут быть подключены входы и выходы нескольких микросхем, осуществляющих прием и передачу данных.

Для коммутации сигналов в цифровых устройствах, например, сигналов адреса, сигналов управления, подключения внешних устройств к системной шине данных в микропроцессорной системе, используются шинные формирователи (буферные элементы). Реализуются они на логических элементах с повышенной нагрузочной способностью, имеющих открытый выход (коллекторный или стоковый) или три состояния выхода.

Они могут быть как однонаправленные, так и двунаправленные (могут осуществлять передачу данных как со входов на выход, так и наоборот).

Логический элемент буфер реализует операцию повторения, не изменяющую логического состояния входного сигнала, и применяются для формирования логических уровней и повышения нагрузочной способности.

Так, микросхема М555АП6 представляет собой восемь двунаправленных буферных элементов, все выводы которых имеют три состояния, а также имеются два входа (E , T) управления. Логический 0 на входе E разрешает включение буферных элементов, и если при этом на вход T подана логическая 1, то выводы А1–А8 микросхемы являются входами, а выводы В1–В8 - выходами. При логическом 0 на входе T выводы В1-В8 являются входами, а выводы А1–А8 - выходами. При логической 1 на входе E все выводы переводятся в третье состояние.

ГЛАВА 3

КОМБИНАЦИОННЫЕ ЛОГИЧЕСКИЕ УСТРОЙСТВА

3.1. Этапы проектирования комбинационного логического устройства

Комбинационными называются логические устройства, выходные логические функции которых однозначно определяются входными логическими переменными в тот же момент времени.

При проектировании комбинационного логического устройства рекомендуется выполнять следующие этапы:

- 1) по условиям работы устройства определяется, что именно оно должно делать в соответствии с поставленной задачей;
- 2) составляется таблица истинности для логической функции F в соответствии с условиями задачи (для всех комбинаций входных переменных);
- 3) составляется формула логической функции при различных сочетаниях входных переменных (например, для строк таблицы истинности, где $F = 1$);
- 4) минимизируется логическая функция с целью получения минимального количества логических элементов в устройстве;
- 5) составляется схема комбинационного логического устройства в соответствии с формулой логической функции F с учетом заданной номенклатуры логических элементов.

Рассмотрим пример проектирования комбинационного устройства.

Этап 1. Требуется спроектировать логическое устройство для подключения напряжения к электротехническому устройству. Это устройство может быть включено двумя способами: 1) подключение к источнику напряжения непосредственно у места нахождения электротехнического устройства; 2) подключение с диспетчерского пульта.

При этом в любом случае электротехническое устройство подключается к источнику напряжения U , когда оно равно некоторому минимальному напряжению ($U \geq U_{min}$) или превышает его.

Этап 2. Обозначим логические входные переменные буквами A, B, C : первый способ подключения напряжения $A = 1$ (если нет, $\bar{A}=0$) ; второй способ подключения $B=1$; условие подключения напряжения $C=1$ ($U \geq U_{min}$).

В таблице истинности 9 записываются значения выходной логической функции F в зависимости от значений входных логических переменных A, B, C для всех возможных вариантов их сочетания. Для трех переменных число сочетаний $2^3=8$.

Таблица 9

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Этап 3. Выделим в таблице истинности строки, где $F=1$. Их можно прочитать следующим образом: $F=1$, когда не A и B , и C или A и не B и C , или A и B и C . Заменяем слова НЕ, И, ИЛИ на знаки соответствующих логических операций, получим логическую формулу для F :

$$F = \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C + A \cdot B \cdot C. \quad (1)$$

Пропустим пока этап 4 и перейдем к этапу 5. Составим схему комбинационного логического устройства на базе основных логических элементов: НЕ, И, ИЛИ. Из уравнения (1) видно, что комбинационное

устройство должно содержать две схемы НЕ, три схемы И на три входа, одну схему ИЛИ на три входа (всего шесть логических элементов). Схема комбинационного логического устройства для реализации уравнения (1) представлена на рис.3.1.

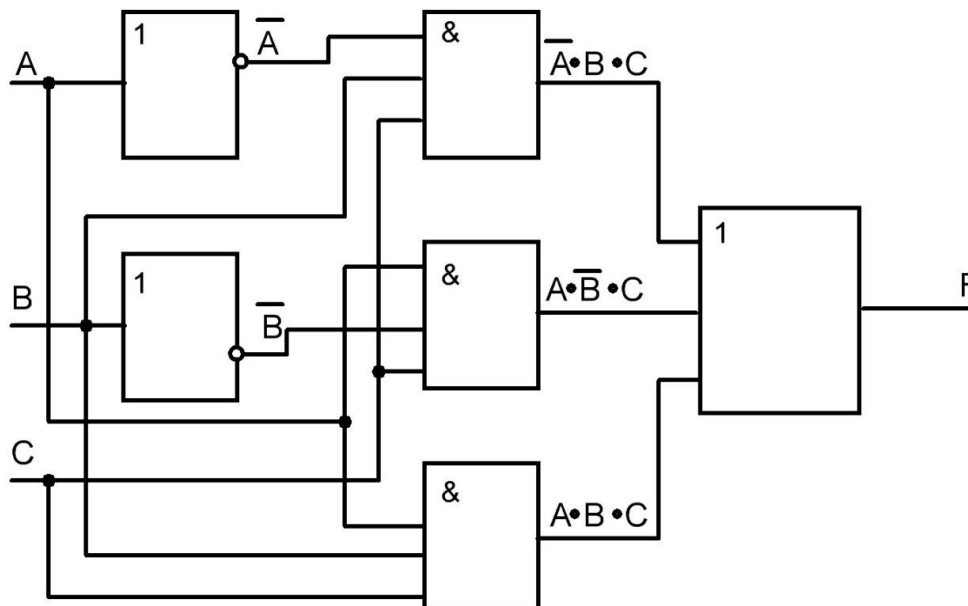


Рис.3.1. Комбинационное логического устройство на базе элементов НЕ, И, ИЛИ

При построении комбинационных логических устройств с целью сокращения номенклатуры используемых логических элементов применяют универсальные логические элементы И-НЕ либо ИЛИ-НЕ. Универсальность этих элементов проявляется в том, что каждый из них позволяет реализовать основные логические операции алгебры логики: НЕ, И, ИЛИ. Таким образом, любую логическую функцию F можно реализовать, используя логические элементы И-НЕ (ИЛИ-НЕ).

Например, для реализации комбинационного логического устройства задана логическая функция F в виде суммы произведений логических переменных:

$$F = X \cdot Y + \bar{Y} \cdot Z + X \cdot \bar{Y} \cdot Z.$$

Такую функцию называют дизъюнктивной нормальной формой (ДНФ). Для реализации комбинационного устройства на элементах И-НЕ логическую функцию ДНФ необходимо, пользуясь правилами алгебры

логики, преобразовать в совершенную дизъюнктивную нормальную форму (СДНФ).

Требования для логической функции в СДНФ:

- каждое слагаемое должно содержать все логические переменные с инверсией или без нее;
- в формуле для F нет одинаковых слагаемых.

Далее для построения логического устройства на элементах И-НЕ по формуле F , записанной в СДНФ, необходимо: применить для функции F двойную инверсию и первый закон де Моргана (инверсия суммы переменных равна произведению их инверсий).

Вернемся к уравнению (1), оно удовлетворяет перечисленным выше требованиям, следовательно, логическая функция F записана в СДНФ. Применим к этому уравнению двойную инверсию и первый закон де Моргана. В результате получим выражение для логической функции без минимизации:

$$F = \overline{\overline{A \cdot B \cdot C + A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C}}} = \overline{(\overline{A \cdot B \cdot C}) \cdot (\overline{A \cdot \overline{B} \cdot C}) \cdot (\overline{A \cdot B \cdot \overline{C}})}. \quad (2)$$

На рис. 3.2 представлено комбинационное логическое устройство в соответствии с уравнением (2) без минимизации логической функции F .

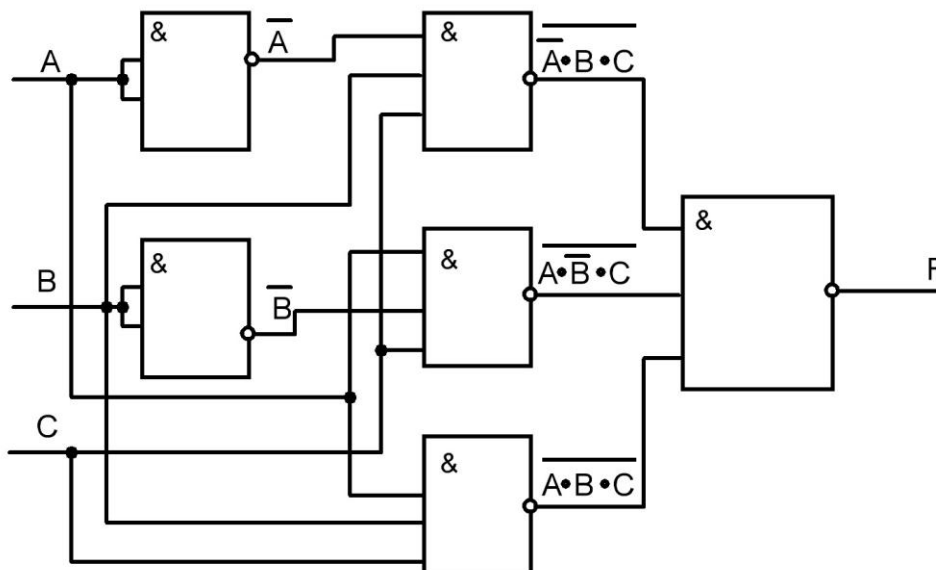


Рис. 3.2. Комбинационное логическое устройство на элементах И-НЕ

Вернемся к этапу 4 для уравнения (1) и минимизируем выражение для логической функции, добавив в формулу слагаемое $A \cdot B \cdot C$ ($A \cdot B \cdot C + A \cdot B \cdot C = A \cdot B \cdot C$):

$$F = \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C + A \cdot B \cdot C + A \cdot B \cdot C = \\ B \cdot C \cdot (\bar{A} + A) + A \cdot C \cdot (\bar{B} + B) = B \cdot C \cdot 1 + A \cdot C \cdot 1 = B \cdot C + A \cdot C. \quad (3)$$

Для несложных функций F , как в данном примере, минимизация проводится с помощью тождеств и законов алгебры, логики, для сложных функций минимизация может проводиться с помощью карт Карно или диаграмм Вейча.

Этап 5. Построим схему комбинационного логического устройства по уравнению (3) на логических элементах И, ИЛИ (рис. 3.3).

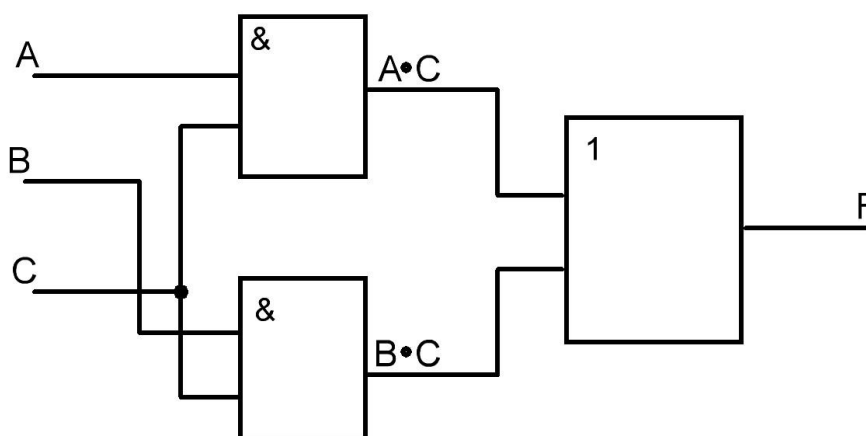


Рис. 3.3. Комбинационное логическое устройство на элементах И, ИЛИ

В соответствии с заданием необходимо построить схему комбинационного логического устройства по уравнению (3) на логических элементах И-НЕ. Выполним необходимые для этого преобразования логической функции:

$$F = \overline{\overline{B \cdot C + A \cdot C}} = \overline{(B \cdot C) \cdot (A \cdot C)}. \quad (4)$$

В соответствии с уравнением (4) логическая схема комбинационного устройства на элементах И-НЕ изображена на рис. 3.4.

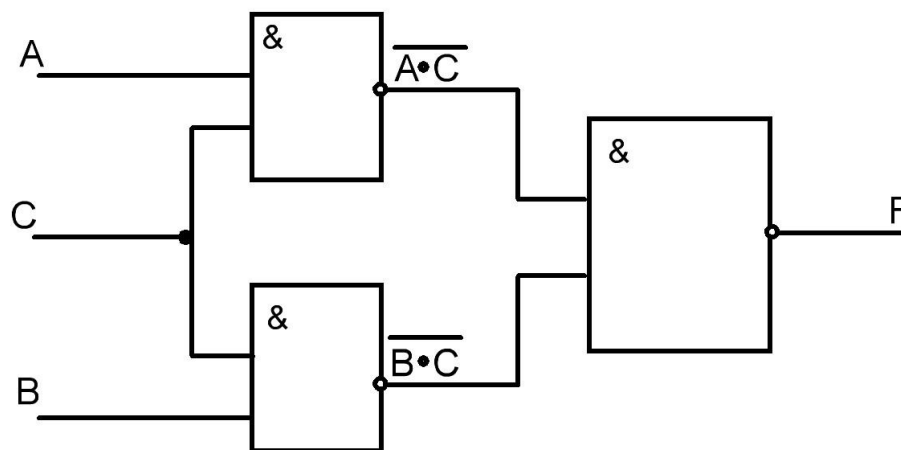


Рис. 3.4. Комбинационное логическое устройство на элементах И-НЕ

При реализации комбинационных логических устройств на заданных логических элементах не все их входы могут быть использованы. В этом случае объединяют используемые входы с неиспользованными (с учетом тождества $X+X=X$), если это не ведет к превышению нагрузочной способности логического элемента.

На неиспользуемые входы можно подать логическую 1, если элемент реализует логическую функцию И ($X \cdot 1 = X$), либо логический 0, если элемент реализует логическую функцию ИЛИ ($X+0=X$).

Для подачи логического 0 неиспользуемые входы соединяют с шиной питания («землей»). Для подачи логической 1 неиспользуемые входы подключают к источникам питания микросхем, обычно через резисторы.

3.2. Мультиплексоры и демультиплексоры

В системах обработки информации часто по одной линии связи требуется пересылать несколько разделенных во времени сигналов или поочередно подключать к одной линии несколько приемников. Для этого разработаны устройства для коммутации сигналов нескольких источников на одну линию (мультиплексоры) или выполнения обратной операции

распределения сигналов, поступающих по одной линии связи, на входы нескольких приемников в нужной последовательности (демультиплексор).

Мультиплексор – это комбинационное логическое устройство, в котором один выход соединяется с одним из нескольких входов в соответствии с кодом адреса. Мультиплексор применяется в тех случаях, когда требуется опросить логическое состояние многих устройств и передать их на один выход.

Эквивалентная схема мультиплексора может быть изображена в виде коммутатора, обеспечивающего подключение одного из нескольких входов (их называют информационными) к одному выходу устройства. Кроме информационных входов, в мультиплексоре имеются адресные входы, а также могут быть еще разрешающие. Сигналы на адресных входах определяют, какой конкретно информационный вход подключен к выходу. Разрешающие входы могут быть использованы для синхронизации работы мультиплексора с работой других устройств, сигналы на этих входах могут разрешать или запрещать подключение определенного входа к выходу.

На рис. 3.5 изображена в виде коммутатора эквивалентная схема мультиплексора на два входа ($2 \rightarrow 1$). Входы A, B – информационные, логические сигналы на которых могут быть 1 или 0. Вход X – адресный (0,1), он управляет положением ключа. Выход F соединяется со входом A или B в зависимости от положения ключа (от кода адреса).

Логика работы: если $X=1$ (ключ в нижнем положении), то на выход передается сигнал B ($F=B$), если $X=0$ (ключ в верхнем положении), на выход передается сигнал A ($F=A$).

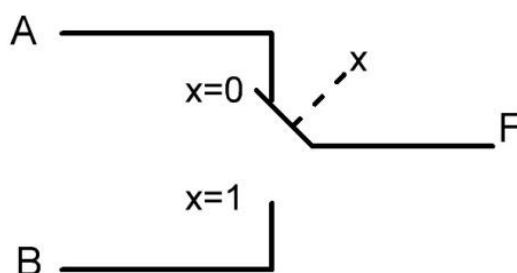


Рис. 3.5. Условная эквивалентная схема мультиплексора на 2 входа

Таблица 10 истинности составлена в соответствии с логикой работы. При $X=0$ логическая функция $F=A$, значение B (0,1) роли не играет; при $X=1$ логическая функция $F=B$, значение A (0,1) роли не играет.

Таблица 10

A	B	X	F
0		0	0
1		0	1
	0	1	0
	1	1	1

Для второй и четвертой строк таблицы истинности можно сформулировать условия, когда логическая функция равна единице: $F=1$, когда A и не X или B и X . Следовательно, формула для логической функции записывается следующим образом:

$$F = A \cdot \bar{X} + B \cdot X.$$

Для этой формулы можно нарисовать комбинационное логическое устройство (рис.3.6) на базе основных логических элементов (НЕ, И, ИЛИ).

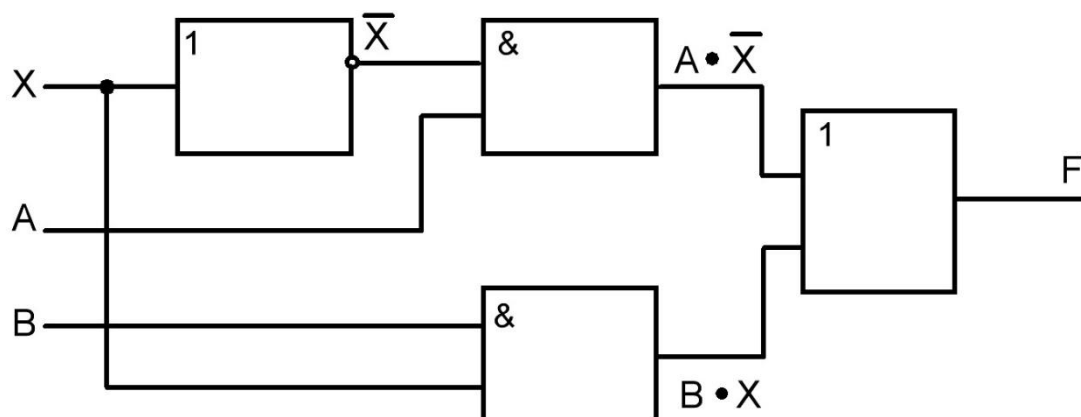


Рис.3.6. Мультиплексор на два входа на элементах НЕ, И, ИЛИ

Если необходимо построить мультиплексор на логических элементах И-НЕ, то требуется выполнить двойную инверсию функции F и применить первый закон де-Моргана:

$$F = \overline{\overline{A \cdot \bar{X}} + \overline{B \cdot X}} = \overline{A \cdot \bar{X}} \cdot \overline{B \cdot X}.$$

Комбинационное логическое устройство мультиплексора представлено на рис. 3.7.

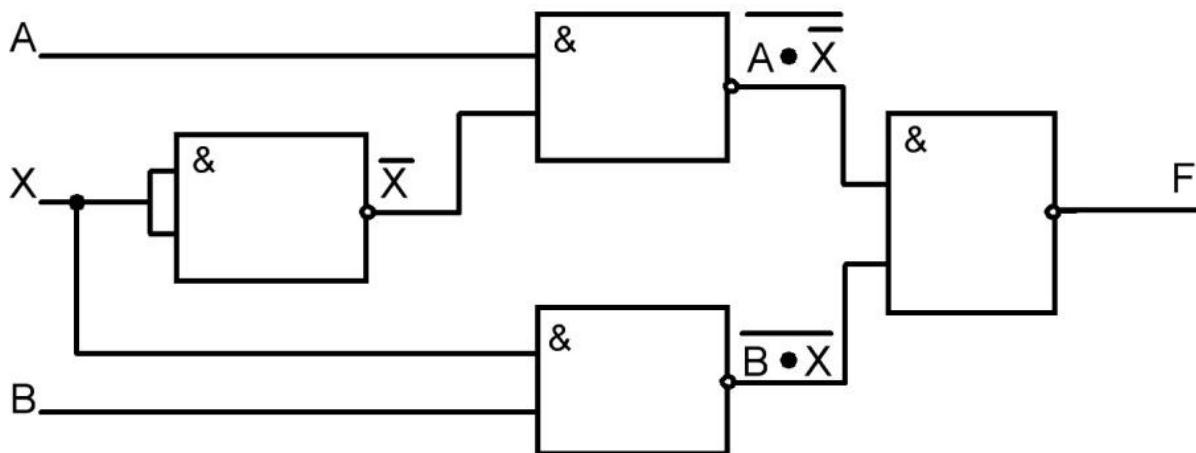


Рис. 3.7. Мультиплексор на два входа на логических элементах И-НЕ

Условное изображение мультиплексора на два входа в схемах показано на рис. 3.8.

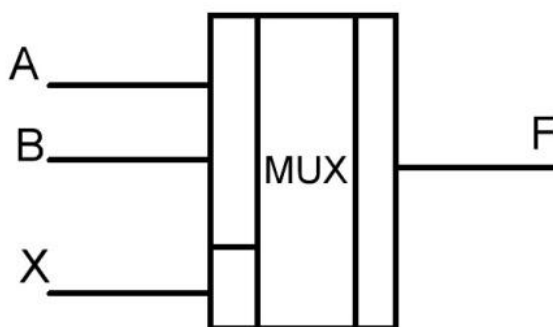


Рис. 3.8. Изображение в двухвходового мультиплексора ($2 \rightarrow 1$) в схемах

Рассмотрим мультиплексор на четыре входа, его условная эквивалентная схема изображена на рис. 3.9, где A, B, C, D – информационные

входы, X, Y – адресные входы (код адреса). Информационные входы могут иметь значение 0 или 1, адресные входы X, Y управляют положением ключа, они тоже могут иметь значение 0 или 1.

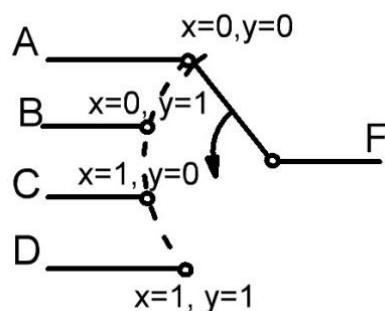


Рис. 3.9. Условная эквивалентная схема мультиплексора на четыре входа

Таблица истинности 11 мультиплексора составлена на основе логики его работы: если $X=0, Y=0$, то $F = A$; если $X=0, Y=1$, то $F=B$; если $X=1, Y=0$, то $F=C$; если $X=1, Y=1$, то $F=D$.

Таблица 11

Адресные входы		Выход F
X	Y	
0	0	A
0	1	B
1	0	C
1	1	D

Логическая формула в соответствии с таблицей имеет вид:

$$F = A \cdot \bar{X} \cdot \bar{Y} + B \cdot \bar{X} \cdot Y + C \cdot X \cdot \bar{Y} + D \cdot X \cdot Y.$$

Комбинационное логическое устройство (четырёхвходовый мультиплексор) на базе основных логических элементов приведен на рис. 3.10.

Условное изображение в схемах мультиплексора на четыре входа показано на рис. 3.11.

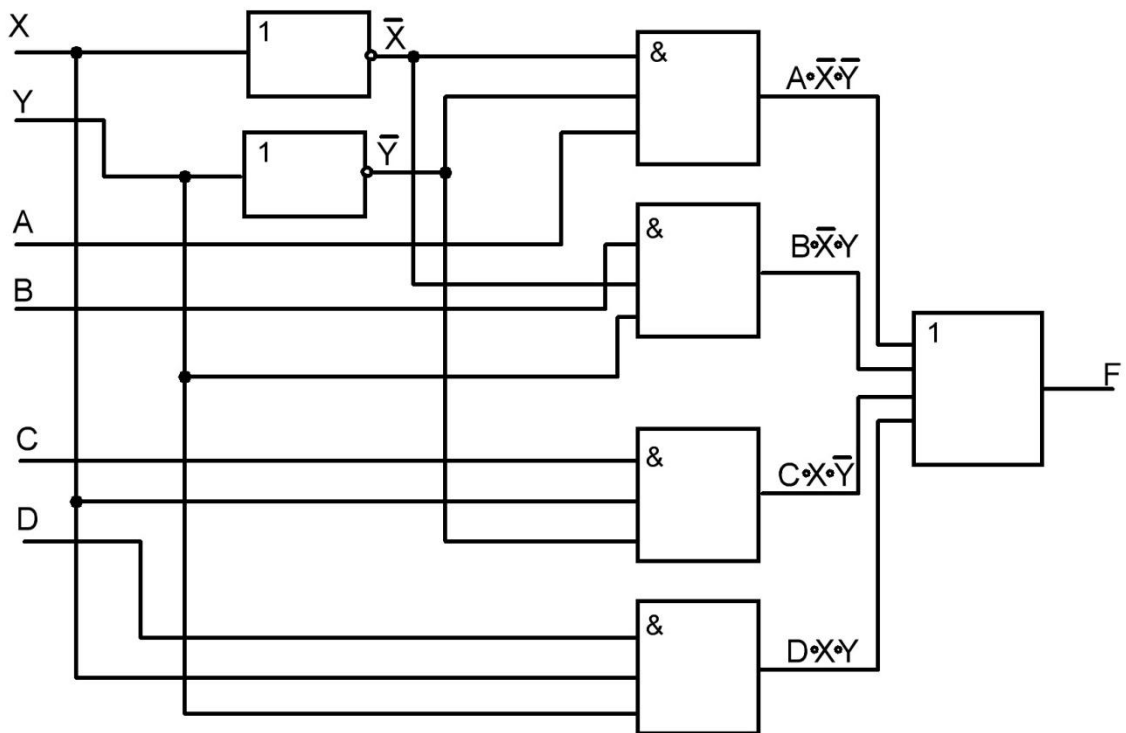


Рис. 3.10. Мультиплексор на четыре входа на логических элементах НЕ, И, ИЛИ

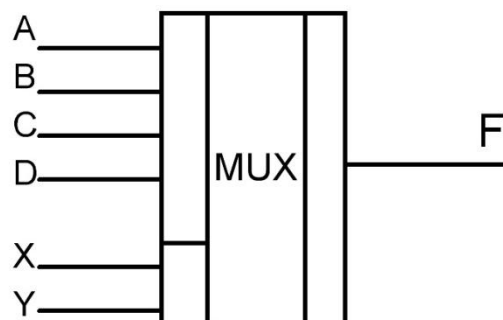


Рис. 3.11. Четырехвходовый мультиплексор ($4 \rightarrow 1$)

Мультиплексоры являются универсальными логическими устройствами, на основе которых создают различные комбинационные и последовательностные (с памятью) схемы.

Мультиплексоры могут использоваться в делителях частоты, триггерных устройствах, устройствах сдвига.

Конструктивно мультиплексоры выпускаются в виде интегральных микросхем с количеством информационных входов от 2 до 16. Промышленность выпускают мультиплексоры серий К155КП1, К155КП2, К531КП18, К561КП3 и другие.

Демультимплексор выполняет функцию обратную мультиплексору – это комбинационное логическое устройство, в котором сигналы с одного информационного входа поступают на соответствующий выход в зависимости от кода на адресном входе.

Эквивалентная схема демультимплексора с двумя выходами изображена в виде коммутатора на рис. 3.12.

Информационный вход X один, сигнал на нем может быть равен 0 или 1; два выхода $Y1$ и $Y2$, сигналы на них определяются сигналом на адресном входе A (0,1), который управляет положением ключа.

Таблица истинности определяет состояние информационного входа X и выходов $Y1$ и $Y2$ в зависимости от кода (0,1) на адресном входе A . Если на адресном входе A сигнал 0, то ключ находится в верхнем положении и $Y1$ соединяется со входом X . При сигнале 1 на входе A ключ находится в нижнем положении и выход $Y2$ соединяется со входом X .

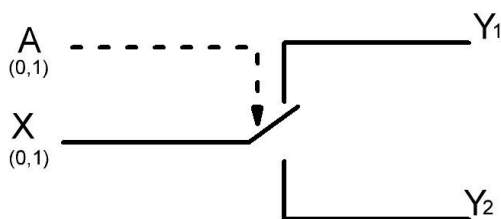


Рис. 3.12. Условная эквивалентная схема демультимплексора на два выхода

Таблица 12

Адресный вход A	Выходы	
	Y1	Y2
0	X	-
1	-	X

Из таблицы 12 следует, что логические функции для выходов с сигналом на информационном входе X определяются выражениями:

$$Y_1 = \bar{A} \cdot X, \quad Y_2 = A \cdot X.$$

Логическая схема демультиплексора с двумя выходами показана на рис. 3.13. В схемах демультиплексоры обозначают буквами DMX (рис. 3.14).

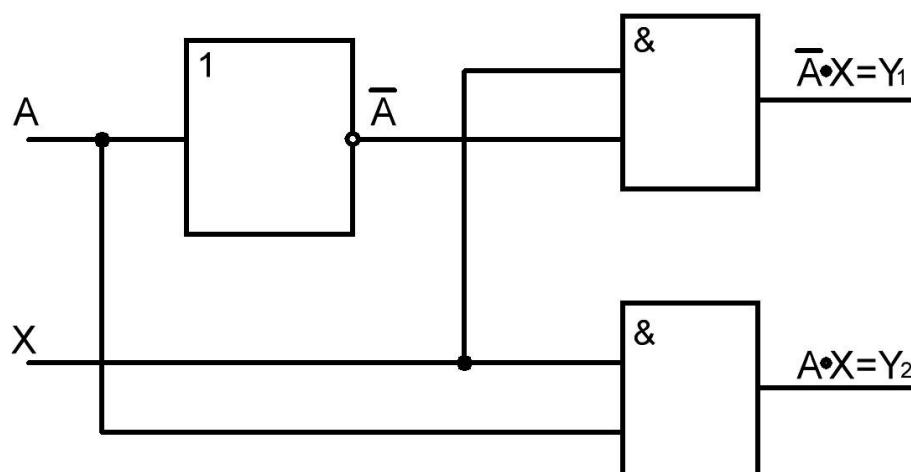


Рис. 3.13. Демультиплексор с двумя выходами

Выпускают демультиплексоры серий К155ИД3, К531ИД7 и другие. При помощи двунаправленных КМОП - транзисторов цифровой или аналоговый сигнал может передаваться со входов на выход (режим мультиплексора) или с выхода на вход (режим демультиплексора). Выпускают мультиплексоры - демультиплексоры серий К561КП1, К564КП2 и другие, их обозначают в схемах буквами DMX.

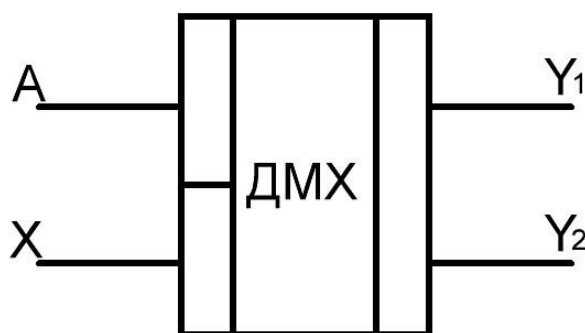


Рис. 3.14. Условное обозначение демультиплексора с двумя выходами

3.3. Сумматоры

Сумматоры – это комбинационные логические устройства, предназначенные для сложения двоичных чисел. В общем случае в каждом разряде необходимо сложить слагаемые данного разряда A_i , B_i и единицу переноса из предшествующего разряда P_{i-1} (если она есть). Результат определяется суммой S_i и единицей переноса P_i в старший разряд. В младшем разряде переноса единицы из предшествующего разряда нет, в этом случае комбинационное логическое устройство называется полусумматором.

Сложению одноразрядных двоичных чисел A и B для полусумматора соответствует таблица истинности 13, где S – результат суммирования в данном разряде, P – перенос единицы в старший разряд.

Таким образом, для полусумматора имеются две логические функции S и P . Формулы для них можно получить из таблицы 13 по единицам соответственно S и P .

Логические формулы для суммы S и переноса P , могут быть записаны следующим образом:

$$S = \bar{A} \cdot B + A \cdot \bar{B}, \quad P = A \cdot B.$$

Очевидно, что по отношению столбцов S реализуется логическая функция «исключающее ИЛИ».

Логическое комбинационное устройство для полусумматора представлено на рис. 3.15.

Таблица 13

A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

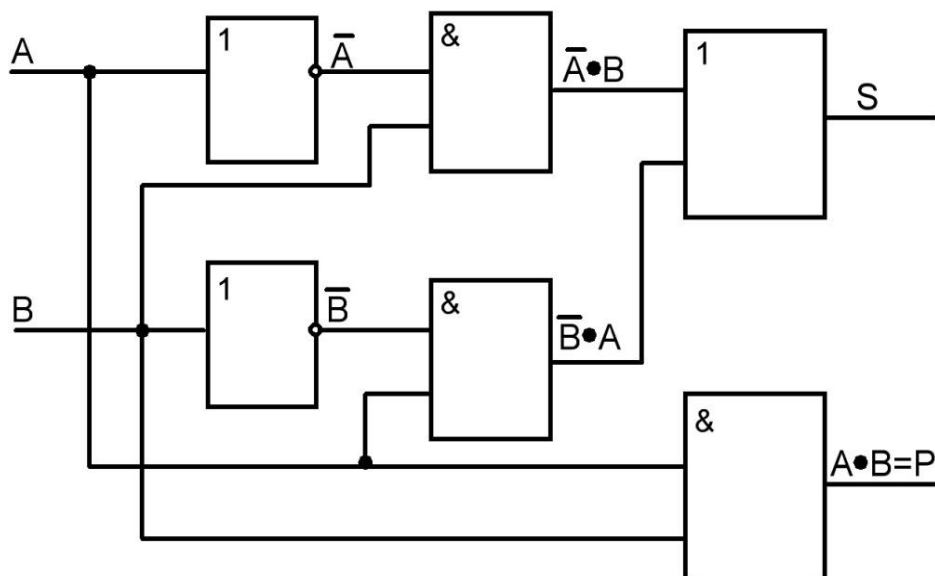


Рис. 3.15. Полусумматор на базовых логических элементах

Соединяя определенным образом полусумматор HS и одноразрядные сумматоры SM , можно получить, например, трехразрядный сумматор (рис. 3.16) для сложения двух трехразрядных двоичных чисел $A_3 A_2 A_1$ и $B_3 B_2 B_1$, где A_1, B_1 – младшие разряды. Сумма и перенос в старший разряд обозначены буквами $S_1, P_1; S_2, P_2; S_3, P_3$. Сигнал переноса P_3 передается в следующую микросхему, так как может получиться четырехразрядное число.

Сумматор на рис. 3.16 называется параллельным, так как на входы одноразрядных сумматоров разряды слагаемых подаются одновременно (в одном такте работы).

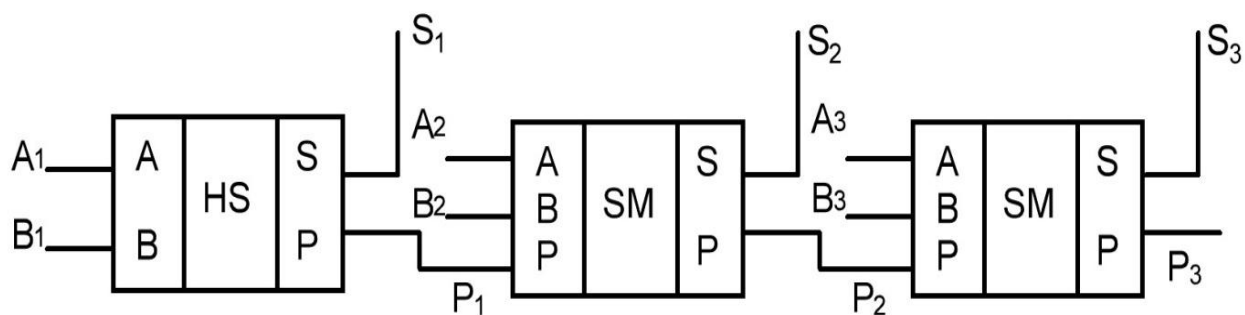


Рис. 3.16. Трехразрядный двоичный сумматор

Быстродействие сумматора ограничено задержкой переноса по всем разрядам (параллельный сумматор с последовательным переносом). Ускорение процесса сложения достигается за счет применения комбинационной схемы (ускоренного переноса), которая обеспечивает одновременный перенос во всех разрядах двоичного числа (вместо последовательного переноса используется параллельный перенос). Например, микросхема К555ИМ6 представляет собой четырехразрядный сумматор с параллельным переносом.

Для наращивания разрядности суммируемых чисел микросхемы соединяются последовательно.

3.4. Цифровые компараторы

Это комбинационные логические устройства, которые выполняют сравнение двух чисел в двоичном коде. Равенство двоичных чисел A и B состоит в совпадении их значений во всех разрядах ($A=B$). Компараторы могут также определять вид неравенства: $A>B$ или $A<B$. В этом случае компараторы имеют три выхода.

Схема одноразрядного компаратора (рис. 3.17) представляет собой структуру логического элемента «Исключающее ИЛИ – НЕ».

Из схемы следует что если $A=B$, то $F=1$; если же $A \neq B$, то $F=0$. Если $A>B$, т.е. $A=1, B=0$, то $C=1$; а если $A<B$, т.е. $A=0, B=1$, то $D=1$.

Если попарно равны между собой все разряды двух n - разрядных двоичных чисел, то равны эти два числа A и B . Применяя цифровой компаратор для каждого разряда, например, четырехзначных двоичных чисел, можно определить значения выходной логической функции F_1, F_2, F_3, F_4 на выходах каждого компаратора. Эти сигналы можно подать на схему И. Если $F_1 \cdot F_2 \cdot F_3 \cdot F_4 = F = 1$, то $A=B$. Если же $F=0$, то $A \neq B$.

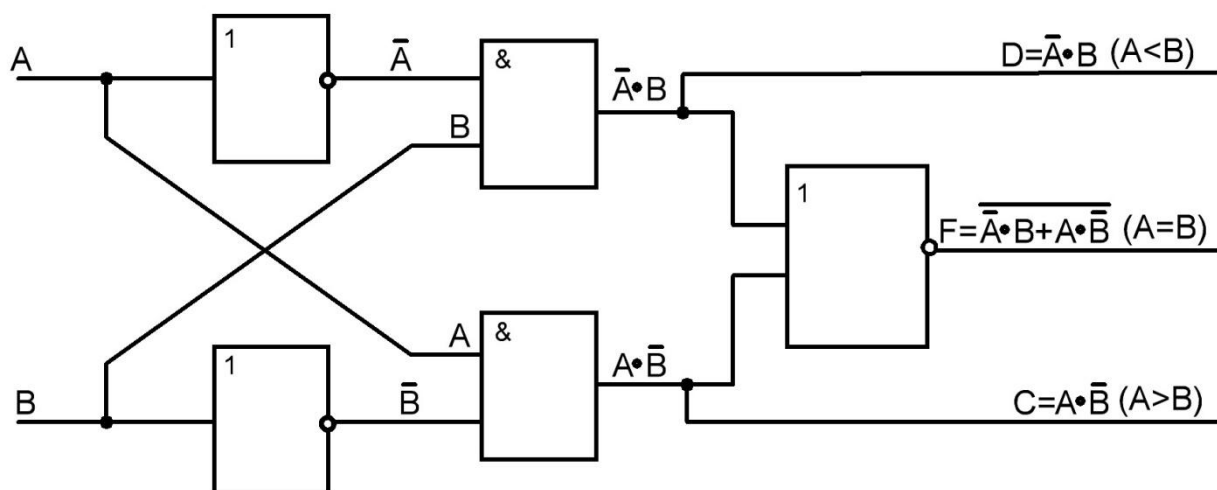


Рис. 3.17. Одноразрядный цифровой компаратор с логическими функциями F, D, C

Неравенство $A > B$ обеспечивается для четырехразрядного двоичного числа в следующих случаях: $A_4 > B_4$ (B_4, A_4 – старшие разряды чисел A и B); или $A_4 = B_4$ и $A_3 > B_3$; или $A_4 = B_4, A_3 = B_3$ и $A_2 > B_2$; или $A_4 = B_4, A_3 = B_3, A_2 = B_2$ и $A_1 > B_1$. Если поменять местами A_i и B_i , то будет выполняться неравенство $A < B$.

Выпускается микросхема К564ИП2, которая является четырехразрядным компаратором, в котором каждый из одноразрядных компараторов соответствует рис. 3.17. Выпускаются микросхемы, которые регистрируют только равенство или различие двух чисел.

3.5. Шифраторы, дешифраторы и преобразователи кодов

Шифратор – это комбинационное устройство, преобразующее десятичные числа в двоичную систему счисления, причем каждому входу может быть поставлено в соответствие десятичное число, а набор выходных логических сигналов соответствует определенному двоичному коду. Шифратор может использоваться, например для перевода десятичных чисел, набранных на клавиатуре кнопочного пульта управления, в двоичные числа. Для

преобразования кода кнопочного пульта в четырехразрядное двоичное число достаточно использовать 10 входов (0 – 9). Рассмотрим пример построения такого шифратора.

Предполагается, что сигнал, соответствующий логической единице, в каждый момент времени подается только на один вход. Условное обозначение такого шифратора приведено на рис. 3.18, а таблица 14 отражает соответствие кодов.

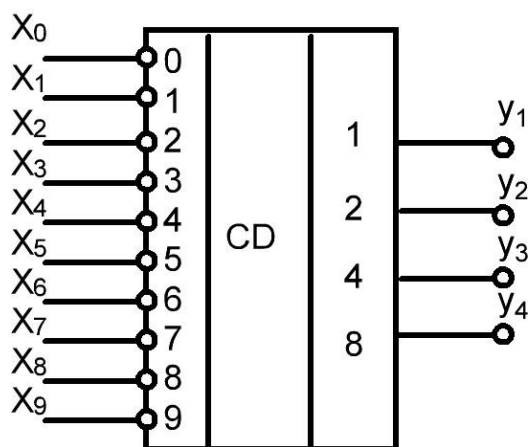


Рис. 3.18. Условное обозначение шифратора

Таблица 14

Десятичное число	Двоичный код 8421			
	Y ₄	Y ₃	Y ₂	Y ₁
0 (X ₀)	0	0	0	0
1 (X ₁)	0	0	0	1
2 (X ₂)	0	0	1	0
3 (X ₃)	0	0	1	1
4 (X ₄)	0	1	0	0
5 (X ₅)	0	1	0	1
6 (X ₆)	0	1	1	0
7 (X ₇)	0	1	1	1
8 (X ₈)	1	0	0	0
9 (X ₉)	1	0	0	1

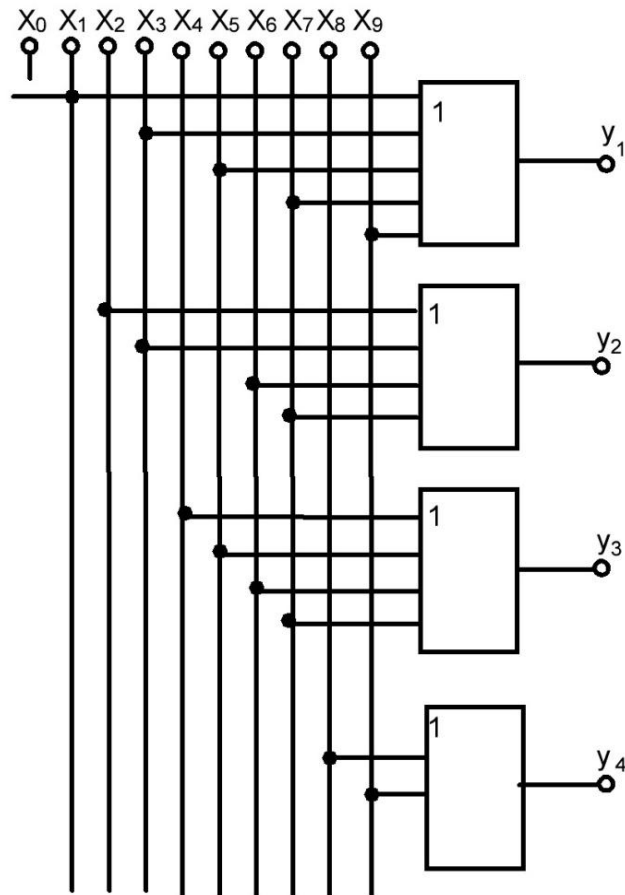


Рис. 3.19. Схема шифратора с логическими элементами ИЛИ

На рис. 3.18 входы обозначены десятичными цифрами 0 – 9 и соответственно буквами $X_0 - X_9$. Буквы CD на условном обозначении соответствуют английскому слову *Coder*.

На рис. 3.19 приведена схема шифратора с использованием логических элементов ИЛИ.

Используя таблицу 14, запишем логические выражения, включая в логическую сумму те входные переменные, которые соответствуют единице некоторой выходной переменной. Так на выходе y_1 будет логическая 1, когда логическая 1 будет на входе X_1 или X_3 , или X_5 , или X_7 , или X_9 . Следовательно: $y_1 = X_1 + X_3 + X_5 + X_7 + X_9$.

Аналогично получим: $y_2 = X_2 + X_3 + X_6 + X_7$, $y_3 = X_4 + X_5 + X_6 + X_7$, $y_4 = X_8 + X_9$.

Шифраторы изготавливаются в виде микросхем. Для получения шифраторов с большим числом входов объединяют микросхемы шифраторов с дополнительными выводами.

Дешифратор – это комбинационное устройство, преобразующее n -разрядный двоичный код в логический сигнал, появляющийся на том выходе, десятичный номер которого соответствует двоичному коду. Следовательно, дешифратор преобразует числа в двоичном коде в десятичные числа.

Рассмотрим дешифратор на три прямых и инверсных входа и восемь выходов. Входные шины дешифратора присоединены к прямым и инверсным выходам RS – триггеров: X_1 и \bar{X}_1 (разряд 2^0); X_2 и \bar{X}_2 (разряд 2^1); X_3 и \bar{X}_3 (разряд 2^2); выходные шины $0 \dots 7$ могут подключаться к печатающему устройству или индикаторам. Дешифратор двоичных чисел в десятичные построен на основе диодной матрицы с логическими элементами И. Условное обозначение такого дешифратора представлено на рис.3.20. Выходы $y_0 - y_7$ представляют логические функции на выходе соответствующей схемы И.

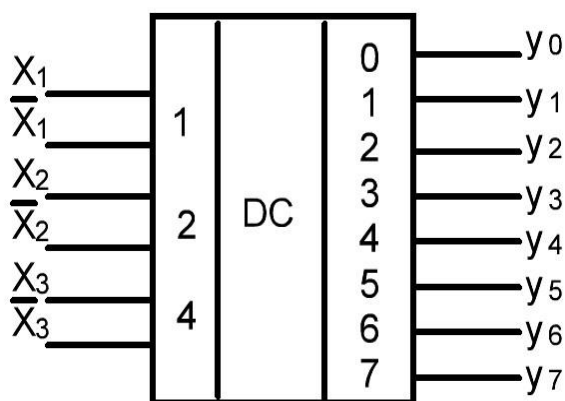


Рис. 3.20. Условное обозначение дешифратора 3×8

Работу дешифратора можно описать следующей системой логических уравнений:

$$\begin{aligned}
 y_0 &= \bar{X}_1 \cdot \bar{X}_2 \cdot \bar{X}_3; & y_1 &= X_1 \cdot \bar{X}_2 \cdot \bar{X}_3; \\
 y_2 &= \bar{X}_1 \cdot X_2 \cdot \bar{X}_3; & y_3 &= X_1 \cdot X_2 \cdot \bar{X}_3; & y_4 &= \bar{X}_1 \cdot \bar{X}_2 \cdot X_3; \\
 y_5 &= X_1 \cdot \bar{X}_2 \cdot X_3; & y_6 &= \bar{X}_1 \cdot X_2 \cdot X_3; & y_7 &= X_1 \cdot X_2 \cdot X_3.
 \end{aligned}$$

Состояние входов и выходов дешифраторов представлено таблицей 15.

Преобразователями кодов в общем случае называют устройства, предназначенные для преобразования одного кода в другой. Они обозначаются x/y . Преобразователи кодов часто создают по схеме дешифратор - шифратор. Дешифратор преобразует входной код в некоторое десятичное число, а затем шифратор формирует выходной код.

Таблица 15

Входы						Выходы							
T_3	2^2	T_2	2^1	T_1	2^0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
X_3	$\overline{X_3}$	X_2	$\overline{X_2}$	X_1	$\overline{X_1}$								
0	1	0	1	0	1	1	0	0	0	0	0	0	0
0	1	0	1	1	0	0	1	0	0	0	0	0	0
0	1	1	0	0	1	0	0	1	0	0	0	0	0
0	1	1	0	1	0	0	0	0	1	0	0	0	0
1	0	0	1	0	1	0	0	0	0	1	0	0	0
1	0	0	1	1	0	0	0	0	0	0	1	0	0
1	0	1	0	0	1	0	0	0	0	0	0	1	0
1	0	1	0	1	0	0	0	0	0	0	0	0	1

Преобразователи кодов в виде микросхем выпускают, например, для выполнения таких операций, как преобразование двоично-десятичного кода в двоичный или обратного преобразования, для преобразования двоичного кода в код управления шкальными или матричными индикаторами, для преобразования двоичного кода в код управления сегментными индикаторами.

ГЛАВА 4

ТРИГГЕРЫ

Триггер – последовательностное логическое устройство, которое может находиться в одном из двух возможных состояний (0,1) и переходить скачкообразно из одного состояния в другое под воздействием входных сигналов. Триггер является базовым элементом цифровой техники. Выходные сигналы триггера определяются не только входными сигналами в данный момент времени, но и состоянием элементов памяти (исходное состояние триггера).

Входы триггера разделяют на информационные (логические) и управляющие (вспомогательные). Информационные входы используются для управления состоянием триггера. Управляющие входы используются для предварительной установки триггера в нужное состояние и для синхронизации. Триггеры имеют два выхода: прямой Q и инверсный \bar{Q} .

Разновидности логических схем позволяют реализовать большое количество триггеров в интегральном исполнении. Триггеры могут выполнять функции реле, переключателей, элементов памяти. На их основе строятся регистры, счетчики импульсов, распределители и другие устройства.

Рассмотрим основную классификацию триггеров.

По функциональным возможностям триггеры разделяются на следующие классы:

- с разделительной установкой состояния 0 и 1 (RS -триггеры);
- с приемом информации по одному входу D (D триггеры);
- со счетным входом T (TT триггеры);
- универсальные (JK -триггеры).

По способу приема информации триггеры делятся на асинхронные и синхронные.

Асинхронный триггер изменяет свое состояние непосредственно в момент появления соответствующего информационного сигнала (S или R).

Синхронные триггеры реагируют на информационные сигналы только при наличии сигнала на входе синхронизации C . При этом триггер может реагировать на уровень сигнала синхронизации, передний фронт или срез (задний фронт) сигнала.

По принципу передачи информации синхронные триггеры разделяются на одноступенчатые (однотактные) и двухступенчатые (двухтактные).

В одноступенчатом триггере имеется одна ступень запоминания информации, а в двухступенчатом – две ступени. Сначала информация записывается в первую ступень, а затем переписывается (копируется) во вторую ступень и появляется на выходе. Двухступенчатый триггер обозначается двумя буквами TT .

Рассмотрим некоторые типы триггеров и их реализацию на логических элементах.

Асинхронный RS – триггер

Это последовательностное цифровое устройство для хранения одного разряда двоичной информации, он служит основой для построения других триггеров. Триггер может быть реализован на логических элементах И-НЕ, ИЛИ-НЕ.

На рис.4.1 приведена схема асинхронного RS -триггера на элементах И-НЕ.

Триггер имеет два информационных входа S (от английского слова *set*) и R (от английского слова *reset*). Вход S называется установочным. При подаче логической 1 на этот вход триггер устанавливается в состояние единицы. Вход R называется входом сброса. При подаче на него логической 1 триггер устанавливается в состояние «ноль». Триггер имеет два выхода: прямой выход Q и инверсный \bar{Q} . Уровень напряжения на прямом выходе определяет состояние триггера (высокий уровень – логическая единица, низкий уровень – логический ноль).

Две входные схемы И-НЕ – образуют схему управления, две выходные схемы И-НЕ – запоминающую ячейку. Она сохраняет информацию от

воздействия последнего входного сигнала на соответствующем информационном входе.

В схеме триггера имеются обратные связи с прямого и инверсного выходов (Q и \bar{Q}) на входы схем И-НЕ запоминающей ячейки, это позволяет при переключении триггера учитывать его предшествующее состояние.

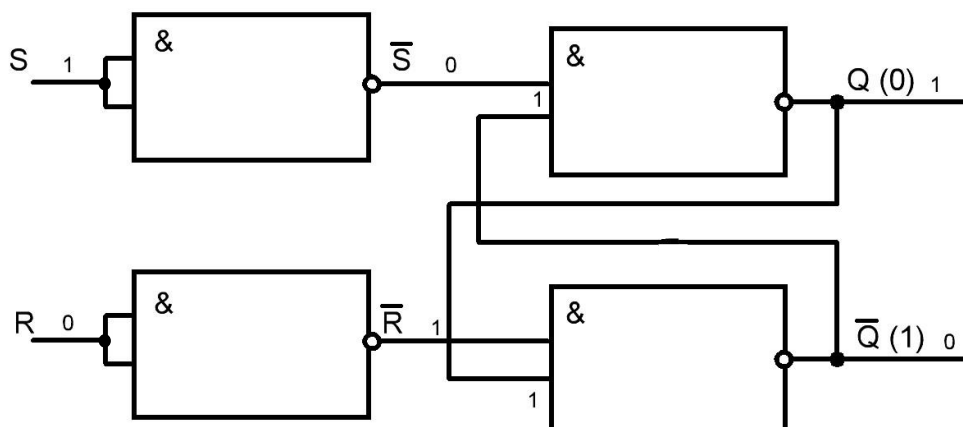


Рис. 4.1. Асинхронный RS-триггер на логических элементах И-НЕ

Таблица 16 представляет состояние триггера (таблица истинности) в моменты времени t^n - до срабатывания триггера и t^{n+1} - после срабатывания триггера. Предположим, что в исходном положении триггер находился в состоянии 0. В этом случае сигналы на прямом выходе и инверсном выходе равны: $Q=0$, $\bar{Q} = 1$. Исходное состояние соответствует первой строке таблицы истинности. В схеме эти сигналы обозначены в скобках.

Таблица 16

t^n		t^{n+1}	
S	R	Q	\bar{Q}
0	0	0	1
1	0	1	0
0	1	0	1
1	1	X	

При подаче на вход S логической единицы ($S=1, R=0$) триггер устанавливается в состояние 1: $Q = 1, \bar{Q} = 0$. При подаче сигнала $R=1, S=0$ триггер переключается в противоположное состояние (из 1 в 0): $Q=0, \bar{Q} = 1$.

Комбинация входных сигналов $S=1, R=1$ является запрещенной (X), так как после нее триггер оказывается в состоянии 1 или 0, предсказать которое заранее невозможно. Это означает, что после окончания действия входных сигналов $S=1, R=1$ триггер с равной вероятностью установится в 1 или 0, что создает неопределенность результатов.

Работа RS -триггера иллюстрируется временной диаграммой (рис. 4.2). Триггер переключается в противоположное состояние на переднем фронте сигналов на входах S или R . Для нормальной работы триггера необходимо, чтобы длительность входных сигналов была больше времени переключения триггера из одного состояния в другое.

Триггер называется асинхронным, так как его переключение (установка или сброс) начинается сразу же после поступления сигнала на информационный вход (тактирующий импульс не требуется).

Рассмотрим работу триггера в соответствии с временной диаграммой. Исходное состояние триггера соответствует нулю: $Q=0, \bar{Q} = 1$. Такое состояние триггера сохраняется до подачи сигнала 1 на вход S . В момент времени t_1 , на информационный вход S поступает сигнал логической 1 ($R=0$). На выходе верхней схемы И-НЕ (схема управления) появляется сигнал $\bar{S} = \bar{1} = 0$, а на выходе нижней схемы И-НЕ сигнал $\bar{R} = \bar{0} = 1$. Сигналы со схемы управления поступают на входы схем И-НЕ запоминающей ячейки.

В первый момент действует обратная связь с выхода $\bar{Q} = (1)$. В результате верхняя схема И-НЕ переключается в противоположное состояние (из 0 в 1): $\overline{0 \cdot 1} = \bar{0} = 1 = Q$. После этого начинает действовать обратная связь с выхода $Q=1$ и нижняя схема переключается из состояния 1 в 0: $\overline{1 \cdot 1} = \bar{1} = 0 = \bar{Q}$. Таким образом, триггер переключился из состояния 0 в состояние 1: $Q=1$,

$\bar{Q} = 0$. Практически эти процессы происходят на временной диаграмме в момент времени t_1 .

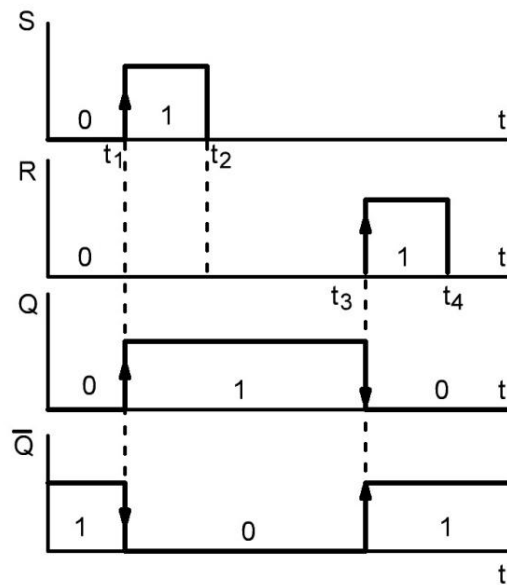


Рис. 4.2 Временная диаграмма асинхронного RS-триггера

Если в момент времени t_3 подать сигнал 1 на вход $R=1$ ($S=0$), то триггер переключится в состояние ноль: $Q=0$, $\bar{Q} = 1$.

Выпускаются различные серии микросхем RS-триггеров. Например, микросхема K564TP2 имеет четыре асинхронных RS-триггера и один управляющий вход V. Если $V=0$, выходы триггеров отключаются от выводов микросхемы и переходят в третье состояние (высокоимпедансное, очень большое сопротивление). Если подать сигнал $V=1$, то выходы триггеров подключаются к выводам микросхемы.

Обозначение асинхронного RS-триггера в схемах показано на рис. 4.3.

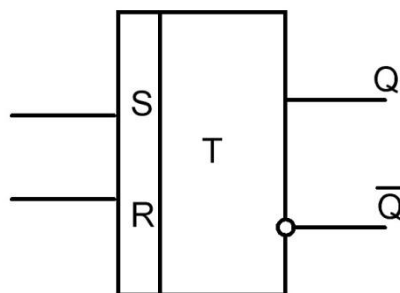


Рис. 4.3. Условное обозначение асинхронного RS-триггера

Переключение асинхронного триггера (установка или сброс) начинается непосредственно в момент поступления соответствующего сигнала на информационные входы, и уровень выходного сигнала устанавливается спустя определенное время. Таким образом, на выходе некоторое время существует ложный сигнал, который может накапливаться в цепочке триггера и приводить к логическим ошибкам функционирования устройства. Другим недостатком асинхронного триггера является низкая помехоустойчивость, обусловленная его срабатыванием в произвольный момент времени при изменении уровня напряжений на информационных входах, в том – числе за счет помех.

Для исключения ложного срабатывания применяют переключение триггера после завершения переходных процессов во время действия синхронизирующего импульса, который задает такт работы устройства и обеспечивает синхронное (одновременное) переключение всех триггеров. Синхронизация работы триггеров повышает их помехоустойчивость, так как информационные входы являются активными только во время действия коротких синхроимпульсов.

Рассмотрим одноступенчатый синхронный RS – триггер (рис.4.4). Он состоит из базового асинхронного триггера (запоминающая ячейка), но блоки управления у них различаются. В синхронном триггере схема управления состоит из двух логических элементов И-НЕ, каждый на два входа: информационные входы (S,R) и общий вход синхронизации C . Сигналы на информационных входах устанавливаются до подачи синхроимпульса C . При любых комбинациях информационных сигналов R , S и нулевом уровне синхроимпульса ($C=0$) на выходах верхнего и нижнего элементов И-НЕ будет логическая 1. В этом случае триггер обеспечивает хранение информации, которая была записана раньше Q^n . Таким образом, если на входе C логический 0, то триггер не воспринимает информацию на входах S,R . Если $C=1$, то триггер работает как асинхронный RS -триггер. Данные представлены в таблице истинности 17, а временная диаграмма – рис. 4.5.

Срабатывание триггера происходит по переднему фронту синхронизирующего импульса $C=1$.

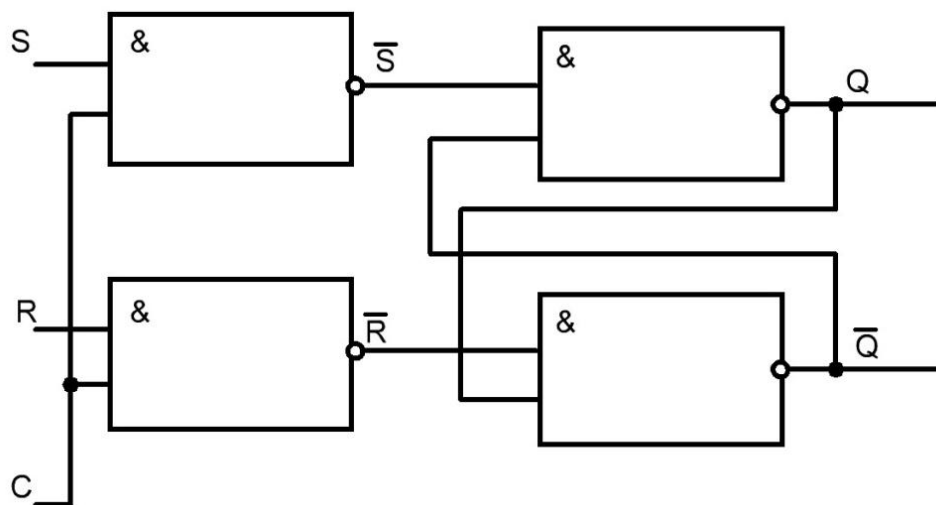


Рис. 4.4. Одноступенчатый синхронный RS-триггер

Таблица 17

S	R	C	Q
0	0	0	Q^n
1	0	0	Q^n
0	1	0	Q^n
1	1	0	Q^n
0	0	1	Q^n
1	0	1	1
0	1	1	0
1	1	1	X

Временная диаграмма представлена для исходного состояния триггера: $Q=0$, $\bar{Q} = 1$. Для переключения триггера в состояние 1 в момент времени t_1 подается сигнал $S=1$, но так как $C=0$, триггер на этот сигнал не реагирует.

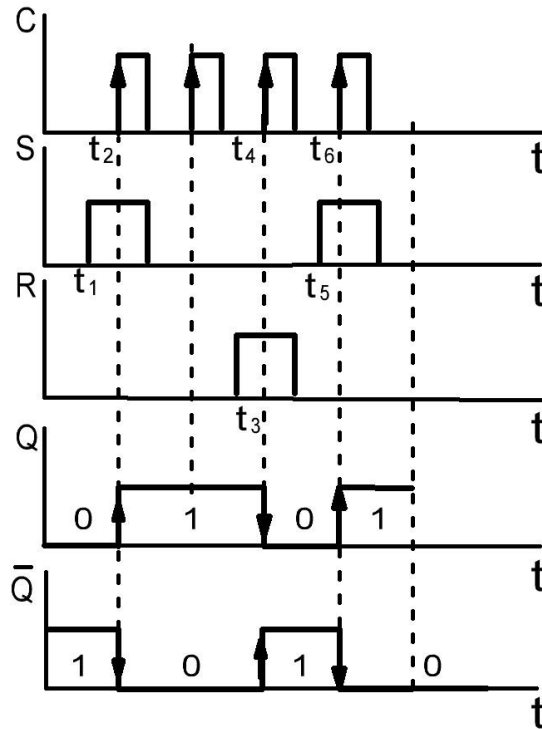


Рис. 4.5. Временная диаграмма синхронного RS-триггера

В момент времени t_2 подается синхроимпульс $C=1$, и триггер переключается на переднем фронте синхроимпульса из состояния 0 в состояние 1 ($Q=1$, $\bar{Q}=0$). Для переключения триггера в состояние 0 в момент времени t_3 на вход R подается сигнал 1 ($R=1$), и в момент времени t_4 , когда $C=1$, триггер перебрасывается из состояния 1 в состояние 0. Комбинация входных сигналов $S=1$, $R=1$, $C=1$ является запрещенной.

Условное обозначение одноступенчатого синхронного RS-триггера показано на рис.4.6.

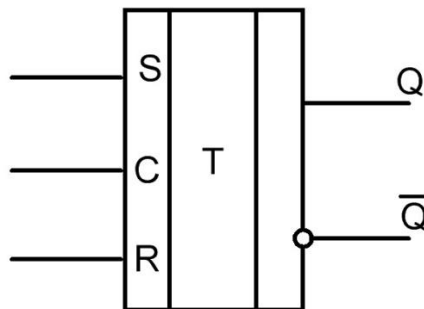


Рис.4.6. Условное обозначение синхронного RS-триггера

Синхронный режим работы является основным в устройствах цифровой техники, он используется в D -триггерах, $ТТ$ -триггерах, JK -триггерах.

В цифровых системах широко распространены триггеры задержки с одним информационным входом D , их называют D -триггеры (*Delay-задержка*). Это синхронный триггер, он воспринимает сигнал на входе D (1,0) при наличии на входе синхронизации C логической единицы (1). Таким образом, триггер повторяет на выходе Q сигнал на входе D при сигнале на входе синхронизация $C=1$. Так как информация на выходе остается неизменной до прихода очередного импульса синхронизаций, D -триггер называют триггером с запоминанием информации или триггером - защелкой.

Схема D -триггера на элементах И-НЕ приведена на рис. 4.7, а временная диаграмма – на рис. 4.8, таблица 18 представляет таблицу истинности.

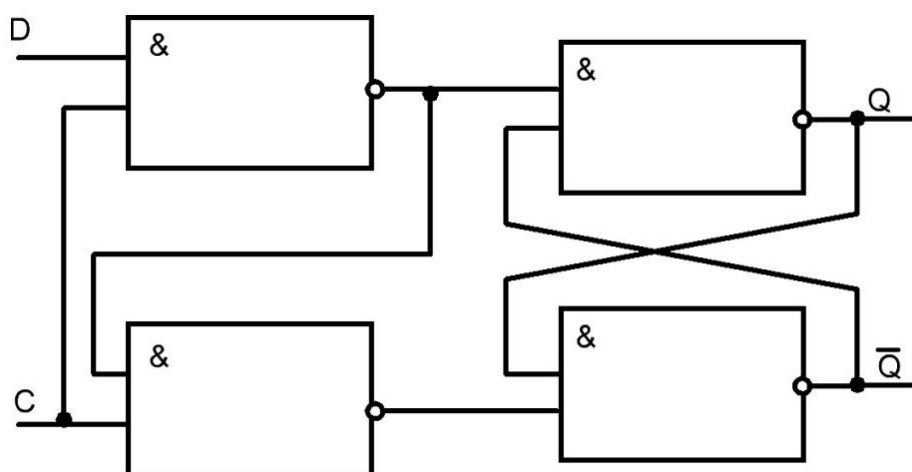


Рис. 4.7. D -триггер на элементах И-НЕ

Схема управления (две левых схемы) здесь другая, а запоминающая ячейка соответствует схеме RS -триггера. Триггер применяется для приема информации по одному входу D . Предположим, что до срабатывания ($t < t_1$) триггер находился в состоянии логического нуля ($Q^n=0$). В момент времени t_1 на вход D приходит импульс, соответствующий логической единице. Так как

импульс синхронизации отсутствует ($C=0$), то триггер не реагирует на входной сигнал $D=1$ и состояние триггера остается прежним ($Q^n=0$).

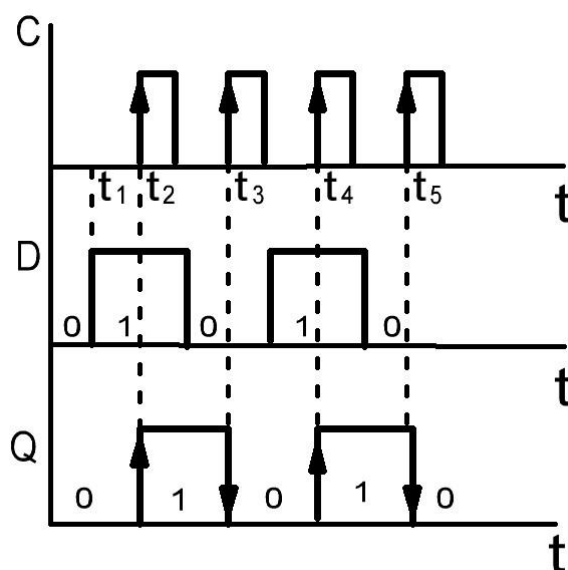


Рис. 4.8. Временная диаграмма D-триггера

Таблица 18

	D	C	Q
$t < t_1$	0	0	$Q^n=0$
$t = t_1$	1	0	$Q^n=0$
$t = t_2$	1	1	1
$t = t_3$	0	1	0

. В момент времени t_2 появляется синхронизирующий импульс $C=1$, и триггер переключается в состояние 1 ($Q=1$). В момент времени t_3 сигнал на информационном входе $D=0$, сигнал $C=1$ - и триггер переключается из 1 в 0 ($Q=0$). В момент времени t_4 $D=1$, $C=1$ - и триггер переключается из 0 в 1. Таким образом, триггер повторяет сигнал на входе D с задержкой в один такт синхронизирующего сигнала.

Условное обозначение D -триггера в схемах показано на рис. 4.9.

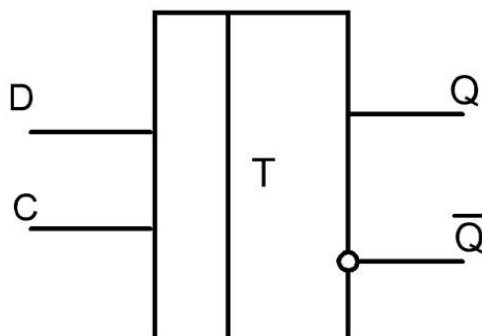


Рис. 4.9. Обозначение D -триггера в схемах

В одноступенчатых триггерах записываемая информация появляется на выходе с задержкой, зависящей от переходных процессов во всей цепи прохождения сигнала. Для нормального функционирования ряда цифровых устройств (например запоминающих) требуется получение информации в определенные моменты времени. В этом случае применяются двухступенчатые (двухтактные) триггеры.

Рассмотрим синхронный двухступенчатый счетный триггер, который состоит из двух последовательно соединенных одноступенчатых (каскадное соединение) синхронных RS -триггеров. (рис. 4.10). В схеме имеются два одноступенчатых триггера – два элемента памяти, что позволяет разделить процессы записи и процессы воспроизведения информации. Триггер $T1$ (первая ступень) называется ведущим (Master), а триггер $T2$ (вторая ступень) выполняет роль ведомого (Slave). Счетный триггер имеет два установочных входа (S , R) и один информационный (счетный) вход $T=C_1$. Входные импульсы T поступают на счетный вход триггера T_1 , который одновременно является для него входом синхронизации ($T=C_1$). На ведущий (основной) триггер $T1$ сигнал синхронизации C_1 поступает непосредственно, а на ведомый (вспомогательный) триггер $T2$ сигнал синхронизации C_2 поступает

после схемы НЕ. Конечное состояние двухступенчатого триггера TT определяется по прямому выходу Q_2 .

Для получения двухступенчатого триггера с определенной направленностью переключения вводятся обратные связи с выхода $T2$ на установочные входы $T1$ (с выхода Q_2 на вход R , с выхода \overline{Q}_2 на вход S).

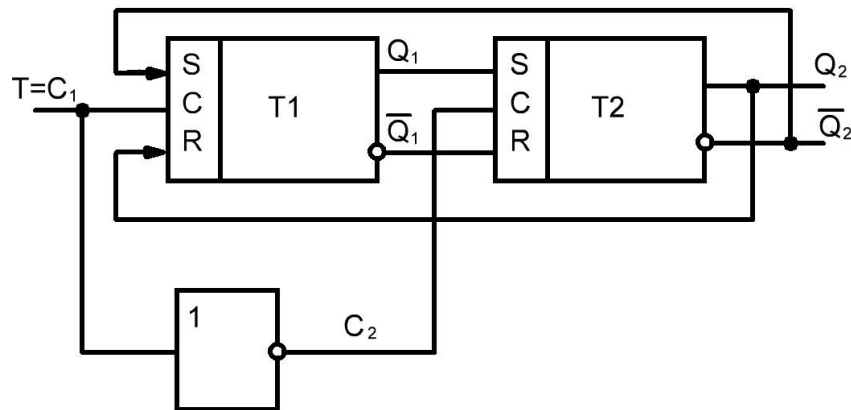


Рис. 4.10. Двухступенчатый счетный триггер

Временная диаграмма, поясняющая работу двухступенчатого счетного триггера, приведена на рис. 4.11.

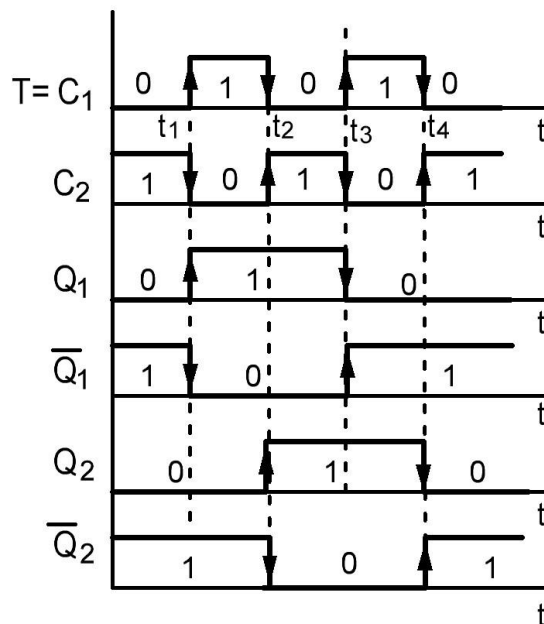


Рис. 4.11. Временная диаграмма синхронного двухступенчатого триггера

В двухступенчатом триггере реализован принцип разделения во времени записи и хранения данных. После установки сигналов на информационных входах S , R их запись в ведущий триггер $T1$ осуществляется по переднему фронту импульса синхронизации C_1 , а перезапись во вторую ступень (ведомый триггер $T2$) происходит по заднему фронту (срезу) импульса C_1 .

Для времени $t < t_1$ ($C_1=0$, $C_2=1$), т.е до прихода тактового импульса $T=C_1$, оба триггера $T1$ и $T2$ находятся в состоянии 0 ($Q_1=0$, $Q_2=0$). При этом ведущий триггер $T1$ отключен от своих информационных входов ($C_1=0$ и обратные связи с $T2$ на входы S и R не действуют), ведомый триггер $T2$ подключен к ведущему ($C_2=1$ и $S_{T2} = Q_1=0$, $R_{T2} = \bar{Q}_1=1$).

С приходом на вход триггера $T1$ импульса $T=C_1=1$ ($t=t_1$) на его переднем фронте информационные входы ведущего триггера $T1$ активизируются (вступают в действие сигналы обратных связей с триггера $T2$: $S_{T1}=\bar{Q}_2=1$, $R_{T1} = Q_2=0$), и ведущий триггер $T1$ переключается из 0 в 1 ($Q_1=1$, $\bar{Q}_1=0$). Входы ведомого триггера $T2$ в это время блокированы сигналом синхронизации $C_2=0$, поступающим через схему НЕ (инвертор). Таким образом, ведомый триггер $T2$ отключен от ведущего $T1$, он остается в состоянии 0. До окончания импульса C_1 , состояние триггеров $T1$ и $T2$ не изменяется.

В момент времени t_2 с прекращением импульса синхронизации C_1 на его срезе запираются входы ведущего триггера $T1$ ($C_1=0$) и активизируются входы ведомого триггера $T2$ ($C_2=1$). Триггер $T2$ воспринимает сигналы с выхода $T1$ ($Q_1=S_{T2}=1$, $R_{T2}=\bar{Q}_1=0$) и переключается в состояние 1. Таким образом, двухступенчатый триггер срабатывает в момент времени t_2 при изменении сигнала синхронизации C_1 от 1 до 0. Ведущий триггер отключен от своих информационных входов, ведомый триггер подключен к ведущему ($C_2=1$). Информация из ведущего триггера переписывается в ведомый, т.е. триггер $T2$ устанавливается в состояние 1. Состояние обоих триггеров одинаковое, оно будет оставаться таким до прихода следующего импульса $C_1=1$.

При приходе следующего импульса $T=C_1=1$ в момент времени t_3 на его переднем фронте за счет обратных связей с $T2$ ($R_{T1} = Q_2=1, S_{T1}=\bar{Q}_2= 0$) ведущий триггер $T1$ устанавливается в состояние 0 ($Q_1=0, \bar{Q}_1=1$). На эти сигналы ведомый триггер $T2$ не реагирует, так как $C2=0$ (триггер $T2$ отключен от $T1$). Следовательно, триггер $T2$ продолжает оставаться в состоянии 1: $Q_2=1, \bar{Q}_2=0$. Таким образом, во время действия второго импульса $C_1=1$ состояние ведущего и ведомого триггеров противоположное ($Q_1=0, Q_2=1$).

В момент времени t_4 на заднем фронте (срезе) импульс синхронизации C_1 становится равным 0, импульс синхронизации C_2 – равным 1. Ведомый триггер $T2$ подключается к выходу ведущего триггера $T1$ ($Q_1=0=S_{T2}, \bar{Q}_1=1=R_{T2}$) и переключается из 1 в 0 (копирует состояние $T1$). Таким образом, состояние обоих триггеров становится одинаковым: $Q_1=0, Q_2=0$.

Из временной диаграммы двухступенчатого триггера видно, что частота повторения выходных импульсов Q_2 вдвое меньше частоты входных импульсов T (счет импульсов по модулю 2).

Двухступенчатый триггер применяется в счетчиках импульсов, делителях частоты, распределителях импульсов.

В схемах двухступенчатый триггер обозначается буквами TT (рис. 4.12).

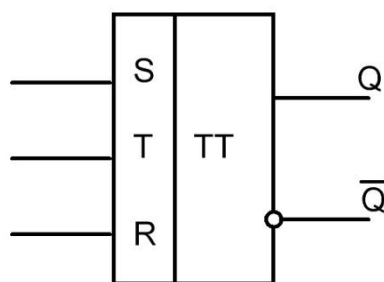


Рис. 4.12. Обозначение двухступенчатого счетного триггера в схемах

Наиболее универсальным из всех типов триггеров является JK -триггер (от англ. *Jump*-переброс и *Keep* – удержание), который реализуется на базе

двухступенчатых синхронных триггеров. Условное графическое обозначение двухступенчатого *JK*-триггера приведено на рис. 4.13. Триггер имеет два информационных входа *J*, *K* и вход синхронизации *C*. Выходные уровни триггера в зависимости от сигналов на входах *J* и *K* устанавливаются только при *C*=1. Если *J*=0 и *K*=0, то триггер сохраняет свое предыдущее состояние. При *J*=1, *K*=0 триггер во время среза импульса синхронизации *C* устанавливается в состояние 1; при *J*=0, *K*=1 триггер устанавливается в состояние 0. При поступлении на входы *J*=1, *K*=1 (такая комбинация сигналов не является запрещенной) триггер переключается в состояние противоположное предшествующему.

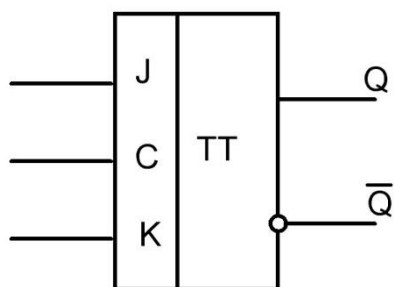


Рис. 4.13. Условное обозначение *JK*-триггера

JK – триггер может снабжаться дополнительными установочными входами *S* и *R*, которые служат для установки триггера в состояние 1 или 0 независимо от сигналов на входах *J*, *K*, *C*. Установочные входы, дополнительные внешние коммутации и дополнительные логические элементы на входе (схемы НЕ, И, ИЛИ) позволяют построить на базе *JK*-триггера различные виды триггеров: синхронный *RS*-триггер, *D*-триггер, счетный *ТТ*-триггер.

ГЛАВА 5

СЧЕТЧИКИ ИМПУЛЬСОВ

Счетчик импульсов относится к последовательностным цифровым устройствам, состояние которых определяется числом поступивших на его вход импульсов. Отличительным признаком последовательностного устройства является наличие запоминающих элементов памяти, включенных в цепь обратной связи и задерживающих сигналы на один такт обработки. В результате выходные сигналы последовательностных устройств определяются не только сигналами на входах в данный момент времени, но и состоянием элементов памяти.

Счетчики используют для подсчета числа импульсов и фиксации его в заданном коде, деления частоты следования импульсов, формирования последовательностей импульсов и кодов управления цифровыми блоками.

По существу счетчик представляет собой совокупность соединенных определенным образом триггеров. Одним из основных параметров счетчика является коэффициент (модуль) счета $K_{сч}$. Это максимальное число импульсов, которое может быть сосчитано счетчиком за один цикл.

Быстродействие – это интервал времени с момента поступления входного сигнала до перехода счетчика в новое устойчивое положение. Важным параметром счетчика является разрешающая способность t_p – это минимальный интервал времени между двумя входными импульсами, не приводящий к сбоям. Величина, обратная разрешающей способности, называется максимальной частотой счета F_{max} .

Классификация счетчиков:

по назначению:

- двоичный;
- двоично-десятичный;
- с произвольным коэффициентом счета;

по направлению счета:

- суммирующие;
- вычитающие;
- реверсивные;

по способу формирования внутренних связей:

- с последовательным переносом сигналов между разрядами;
- с параллельным переносом;
- с комбинированным переносом.

Рассмотрим суммирующий трехразрядный двоичный счетчик. Счетчик состоит из трех каскадно-соединенных синхронных двухступенчатых счетных $ТТ$ – триггеров (рис. 5.1).

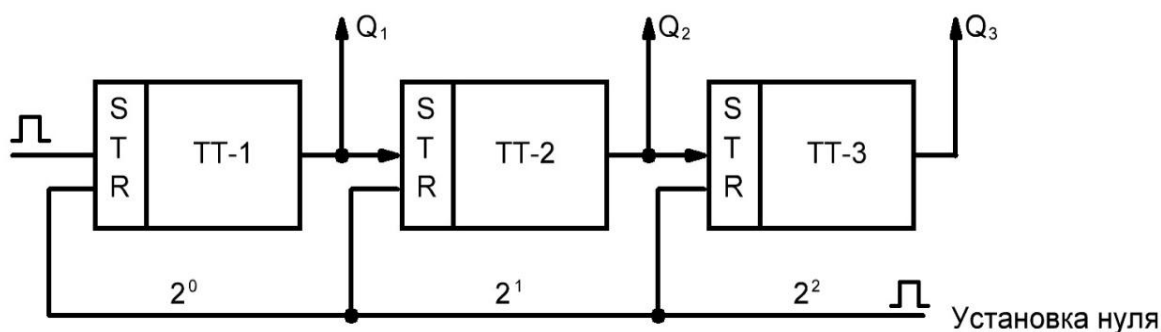


Рис. 5.1 Трехразрядный суммирующий двоичный счетчик импульсов

Счетные импульсы поступают на вход T триггера младшего разряда (2^0). Прямые выходы Q_1, Q_2 соединяются со входами T соответствующего разряда: сигнал Q_1 поступает на вход T второго разряда счетчика (2^1), сигнал Q_2 поступает на вход старшего разряда счетчика (2^2). Счетчик обычно снабжен входами S для предварительной установки заданного числа и входами R , с помощью которых счетчик можно установить в нулевое состояние. Инверсные выходы разрядов счетчика не используются. Число, записанное в счетчике, определяется сигналами на прямых выходах Q_3, Q_2, Q_1 .

На рис. 5.1 число разрядов счетчика $n = 3$, коэффициент (модуль) счета $K_{сч} = 2^n = 2^3 = 8$. Максимальное число, которое может быть записано в счетчике в двоичном коде перед установкой счетчика в нулевое состояние, равно $2^n - 1 = 7$

(во всех разрядах счетчика записаны 1). Восьмой импульс T устанавливает счетчик в нулевое состояние.

Состояние разрядов счетчика характеризуется таблицей 19. В исходном состоянии во всех триггерах установлены логические нули. Каждый триггер переключается в противоположное состояние на срезе (заднем фронте) входного импульса (для $ТТ - 1$ – это импульс T , для $ТТ - 2$ – это импульс Q_1 , для $ТТ - 3$ – это импульс Q_2). Временная диаграмма счетчика показана на рис. 5.2.

Таблица 19

Состояние триггеров			Номер импульса T
$Q_3(2^2)$	$Q_2(2^1)$	$Q_1(2^0)$	
0	0	0	
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7
0	0	0	8

При поступлении входных импульсов T по их срезу происходит последовательное изменение состояния всех триггеров. Если рассмотреть момент после поступления на вход счетчика пятого импульса, то из таблицы 1 и временной диаграммы видно, что в счетчике на входах Q_1 , Q_2 , Q_3 зафиксировано число «пять» в двоичном коде 1 0 1 (Q_1 – выход младшего разряда, Q_3 – выход старшего разряда). Таким образом, счетчик реализует суммирование входных импульсов.

После поступления седьмого импульса (предпоследнего) все триггеры счетчика будут установлены в состояние 1. Восьмой импульс устанавливает все разряды счетчика в состояние 0.

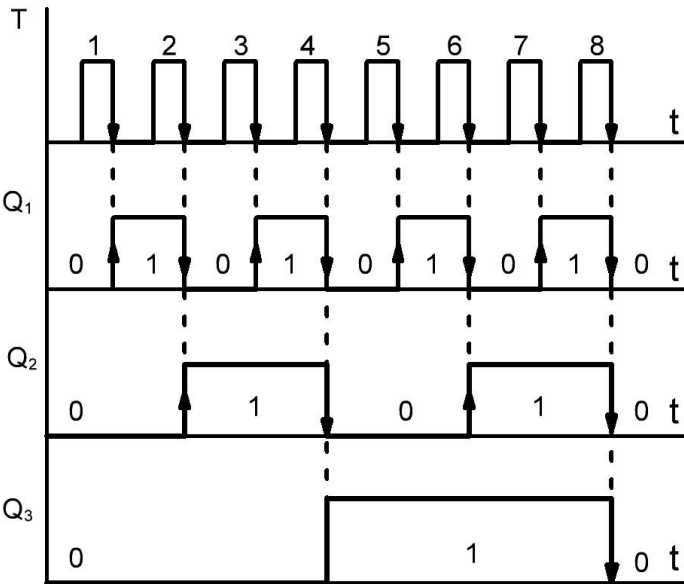


Рис. 5.2. Временная диаграмма работы счетчика

Из временной диаграммы видно, что частота каждого последующего импульса на выходах Q_i в два раза меньше, чем предыдущая, т.е. каждый триггер делит частоту входного сигнала на два, что используется в делителях частоты.

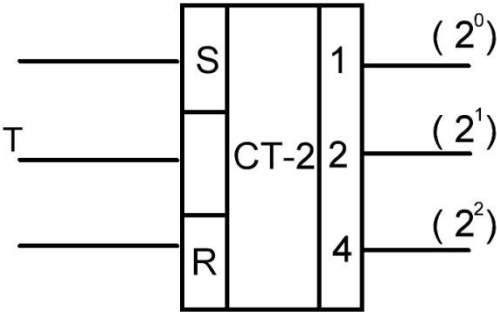


Рис. 5.3. Обозначение трехразрядного двоичного счетчика в схемах

Условно - графическое обозначение в схемах трехразрядного двоичного счетчика представлено на рис.5.3.

Выпускаются микросхемы суммирующих счетчиков с разным количеством разрядов. Например, микросхема К155ИЕ5 является суммирующим счетчиком с последовательным переносом, схема содержит четыре счетных триггера. При соединении между собой определенных выводов образуется суммирующий счетчик на четыре разряда с коэффициентом счета $K_{сч} = 16$. В схеме имеется ряд дополнительных входов, что позволяет строить счетчики с различными коэффициентами счета без использования дополнительных логических элементов. На микросхеме К155ИЕ5 можно получить счетчик с коэффициентом счета $K_{сч} = 10$, соединяя соответствующие выходы.

Быстродействие счетчика зависит от параметров триггеров и способа организации переноса, т.е. прохождения сигналов между триггерами. В двоичном счетчике с последовательным переносом каждая последующая ячейка переключается сигналом, формируемым на выходе предыдущего разряда. При переключении всех триггеров в момент завершения цикла новое состояние установится с задержкой, которая зависит от числа триггеров и времени переключения каждого из них.

Для уменьшения времени задержки применяют счетчики с параллельным переносом, в которых комбинационная логическая схема обеспечивает одновременный перенос во всех разрядах. В таких счетчиках на JK – триггерах счетные импульсы поступают одновременно на входы триггеров всех разрядов.

В цифровых устройствах, кроме суммирующих, применяются вычитающие счетчики, которые можно построить аналогично суммирующим при подаче на счетные входы последующих триггеров сигналов с инверсных выходов предыдущих. Схема и временная диаграмма приведена на рис. 5.4, 5.5.

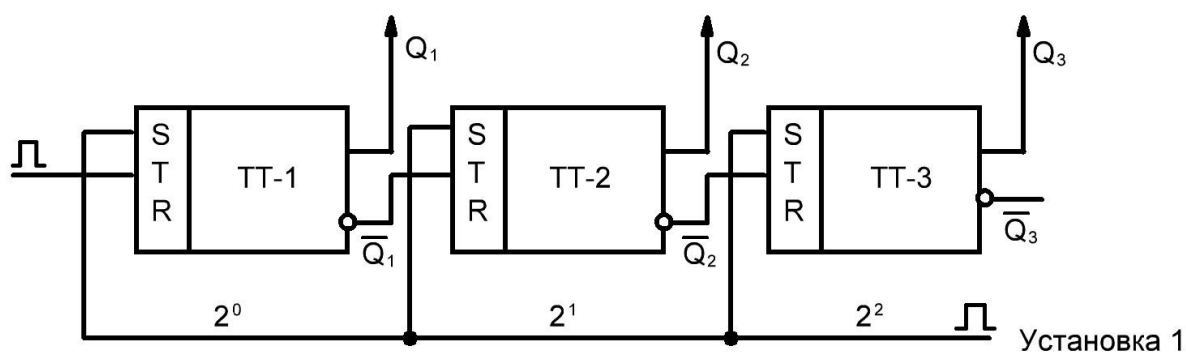


Рис. 5.4. Трехразрядный вычитающий двоичный счетчик

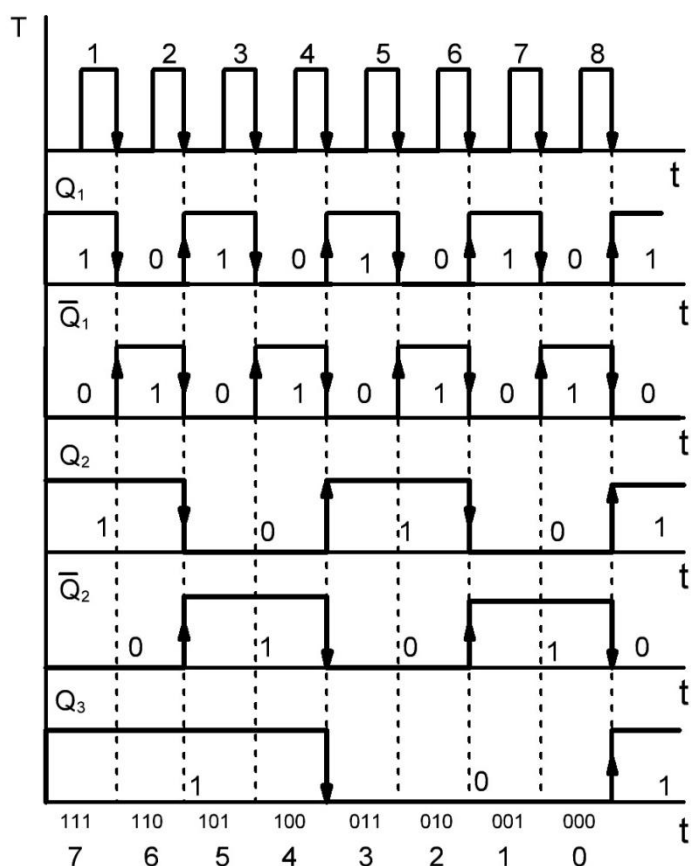


Рис. 5.5. Временная диаграмма вычитающего счетчика

Входные импульсы поступают на счетный вход T триггера $TT-1$ (младший разряд). Инверсный выход каждого триггера связан со счетным входом T последующего разряда. Прямые выходы (Q_1, Q_2, Q_3) каждого триггера определяют состояние счетчика.

Триггер каждого разряда переключается в противоположное состояние на срезе (заднем фронте) импульса на его входе. В исходном состоянии в каждом разряде счетчика установлены единицы путем подачи единичного

импульса на входы S триггеров. Таким образом, в счетчике записано двоичное число 111, что соответствует десятичному числу 7. После окончания первого входного импульса T триггер $TT-1$ (младший разряд) переключается из 1 в 0: $Q_1=0$, $\overline{Q_1} = 1$. Остальные триггеры свое состояние не изменяют. Каждый входной импульс T производит вычитание единицы из числа, записанного в счетчике. После окончания второго импульса T триггер $TT-1$ переключается из состояния 0 в состояние 1: $Q_1=1$, $\overline{Q_1} = 0$. Отрицательный перепад напряжения $\overline{Q_1}$ (из 1 в 0) приводит к переключению триггера $TT-2$: $Q_2=0$, $\overline{Q_2}=1$. Сигнал $\overline{Q_2}$ не приводит к изменению состояния триггера $TT-3$. После второго импульса T счетчик хранит состояние 101 (5). Второй триггер изменяет свое состояние с некоторой задержкой по отношению к окончанию второго входного импульса T , так как для его переключения необходимо время, соответствующее срабатыванию его самого и первого триггера.

Дальнейшее изменение состояния счетчика происходит аналогично изложенному выше. После седьмого импульса сигналы на прямых выходах $Q_1=0$, $Q_2=0$, $Q_3=0$; восьмой импульс переводит счетчик в исходное состояние:

$$Q_1=1, Q_2=1, Q_3=1.$$

Выпускаются реверсивные счетчики, объединяющие схемы суммирования и вычитания, реализуются с помощью управляющей комбинационной схемы. Счетчик имеет два счетных входа: T_c - счетный вход при сложении, T_b – счетный вход при вычитании. В режиме сложения входные импульсы подаются на вход T_c счетчика, а на вход T_b подается запрещающий сигнал логического нуля. В режиме сложения работают цепи передачи сигнала с использованием прямых выходов триггеров. В режиме вычитания входные импульсы подаются на вход T_b , а на вход T_c подается запрещающий сигнал логического нуля. В результате работают цепи передачи сигнала с использованием инверсных выходов триггеров.

Условное обозначение реверсивного четырехразрядного счетчика с установочными входами R, S показано на рис.5.6. Выпускаются микросхемы реверсных счетчиков серии 155: К155ИЕ6, К155ИЕ7 и другие.

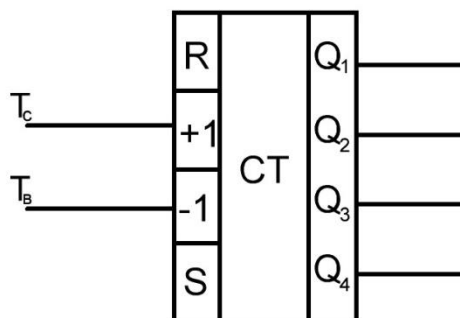


Рис. 5.6. Четырехразрядный реверсивный счетчик

В различных цифровых устройствах применяются счетчики с заданным коэффициентом счета $K_{сч} \neq 2^n$, где n – число разрядов счетчика. Рассмотрим построение суммирующего двоичного счетчика с коэффициентом счета $K_{сч} = 10$. Предварительно определить: сколько разрядов (n) должно быть в счетчике, сколько избыточных (лишних) состояний должно быть в счетчике; какое число должно быть записано в счетчике после записи единицы в старшем разряде.

Коэффициент счета определяется по формуле: $K_{сч} = 2^n$. При $n = 3$ $K_{сч} = 2^3 = 8$, следовательно, разрядов должно быть больше. При $n = 4$ $K_{сч} = 2^4 = 16$, в этом случае получаются избыточные состояния, которые необходимо исключить.

Число избыточных состояний определяется по формуле $S = 2^n - K_{сч}$. Для $n = 4$ число избыточных состояний $S = 2^4 - 10 = 6$. Исключение избыточных состояний счетчика реализуется за счет обратных связей из старших разрядов в младшие.

После записи 1 в старшем разряде в счетчике должно быть записано число, равное $N+S$, где N – номер входного импульса, после которого в старшем разряде записывается 1.

Избыточные состояния исключаются с помощью обратных связей со старшего разряда на входы S соответствующих предыдущих разрядов. Далее счетчик работает как обычный суммирующий. Перед последним импульсом в каждом разряде счетчика должна быть логическая единица. Последний импульс в соответствии с коэффициентом счета переключает все разряды счетчика в состояние 0.

Структура двоичного счетчика с коэффициентом счета $K_{сч} = 10$ представлена на рис. 5.7, состояние триггеров счетчика определяется таблицей 20. В исходном положении все разряды счетчика установлены в состояние 0.

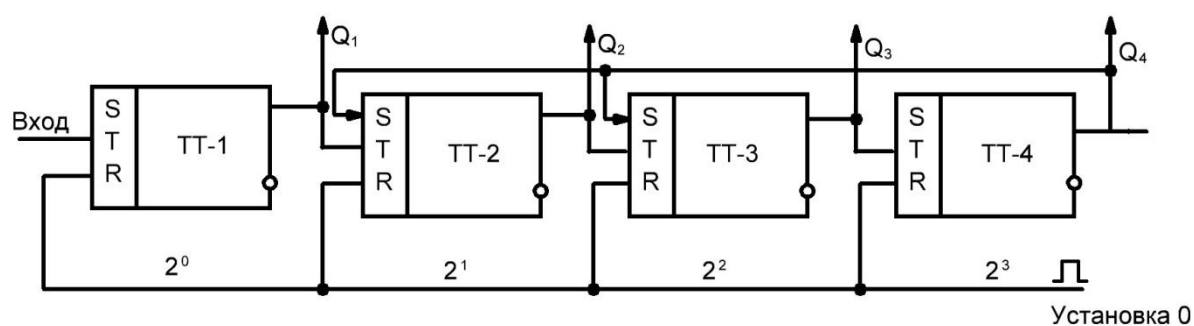


Рис. 5.7. Двоичный счетчик с коэффициентом счета 10

Переключение каждого триггера происходит на срезе его входного импульса T . До восьмого импульса счетчик работает как обычный двоичный суммирующий счетчик. Восьмой импульс записывает 1 в старшем разряде (1000). После этого в счетчике за счет обратных связей должно быть записано число $N+S=8+6=14$. Число 6 до прихода девятого импульса должно добавляться к числу 8 с помощью обратных связей с выхода $Q_4=1$ на входы S триггеров $TT-2$ и $TT-3$. Эти триггеры перебрасываются из 0 в 1. Таким образом, после восьмого импульса двоичное число 1110, записанное в счетчике, соответствует десятичному числу 14. С приходом девятого импульса триггер $TT-1$ переключается из нуля в 1, во всех разрядах счетчика будут записаны единицы.

Таблица 20

Состояние счетчика				Номер импульса T на входе (N)
Q_4	Q_3	Q_2	Q_1	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	1	1	0	Обратная связь
1	1	1	1	9
0	0	0	0	10

Десятый импульс переключает все триггеры из 1 в 0 и возвращает счетчик в исходное состояние.

При необходимости получения счетчика с произвольным коэффициентом счета программным способом производят начальную установку двоичного счетчика. Например, для $K_{сч} = 10$ в четырехразрядном двоичном счетчике предварительно устанавливают число 0110 (шесть в двоичном коде), которое равно числу лишних состояний.

Четырехразрядные счетчики с коэффициентом счета 10 называется десятичными или двоично-десятичными (декадными). Такие декады можно включать последовательно для подсчета единиц, десятков, сотен импульсов.

ГЛАВА 6 РЕГИСТРЫ

6.1. Параллельные регистры

Регистром называется устройство, выполненное на основе триггеров и предназначенное для хранения цифровых кодов, сдвига чисел, преобразования параллельного представления кода в последовательный и выполнения других операций с двоичными числами.

Регистры являются одним из основных элементов структуры микропроцессора и используются для временного хранения данных, команд и адресов.

Структура регистра представляет собой упорядоченную структуру триггерных ячеек. Как правило, в регистрах используются универсальные JK – триггеры или D – триггеры задержки.

По способу ввода двоичных чисел регистры делятся на последовательные, параллельные и комбинированные; по функциональному назначению выделяют регистры памяти и регистры сдвига.

Регистры памяти предназначены для хранения двоичной информации небольшого объема: байт (8 бит) или двухбайтного слова (16 бит). В структуру регистра памяти (рис. 6.1.) входит набор n – синхронных D – триггеров. Каждый триггер предназначен для хранения одного разряда двоичного числа. Напомним таблицу состояния D -триггера (табл. 21).

Таблица 21

C_1	D^n	Q^{n+1}
1	0	0
1	1	1

Сигнал на выходе Q^{n+1} повторяет входной сигнал (вход D), предшествующего интервала.

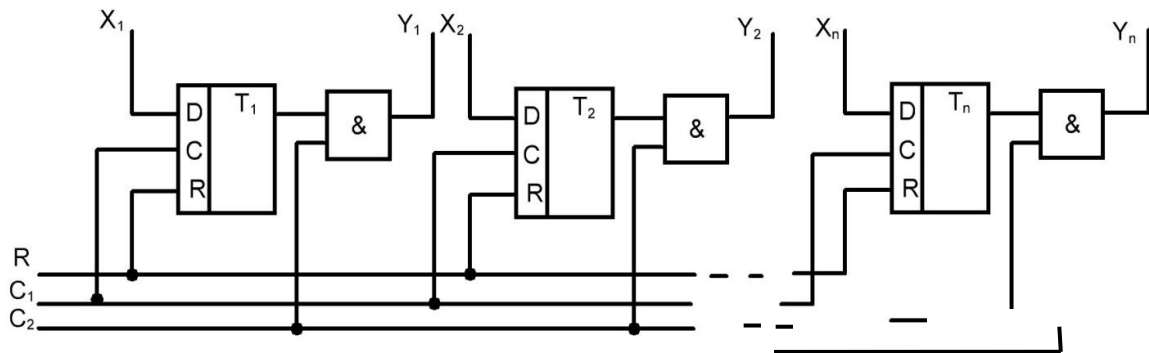


Рис 6.1. Структура регистра памяти

Ввод кода двоичного числа осуществляется параллельно во все разряды: $x=(x_n, \dots, x_2, x_1)$ при подаче единичного импульса на вход синхронизации C_1 . Выход кода $y=(y_n, \dots, y_2, y_1)$ производится через выходные схемы совпадения при подаче единичного импульса на вход разрешения чтения C_2 .

Информацию из регистра можно считывать многократно без её уничтожения. Для установки регистра в начальное состояние используются объединенные входы сброса триггеров R . Для получения инверсного кода триггера используют инверсные выходы триггеров.

6.2. Последовательные регистры

Регистры сдвига предназначены для выполнения операций: приема, хранения и выдачи двоичных чисел, сдвига кода вправо или влево на заданное число разрядов, задержки в этих регистрах. С приходом каждого тактового импульса происходит введение разряда двоичного числа в первый триггер и перезапись, сдвиг содержимого последующих триггеров на один разряд вправо.

Структура трехразрядного регистра сдвига (в качестве примера для пояснения принципа работы) представлена на рис. 6.2.

Схема реализована на базе двухступенчатых JK – триггеров. В таблице 22 представлена таблица состояния JK – триггера.

Таблица 22

J^n	K^n	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	\bar{Q}^n

При подаче на вход K инверсного по отношению к входу J сигнала в таблице состояния реализуется работа триггера в соответствии со второй и третьей строками таблицы состояния. Аналогичный результат достигается за счет соединения следующих по схеме триггеров с прямым и инверсными выходами предыдущего триггера. Использование двухступенчатых триггеров обеспечивает разделение во времени приема и передачи информации.

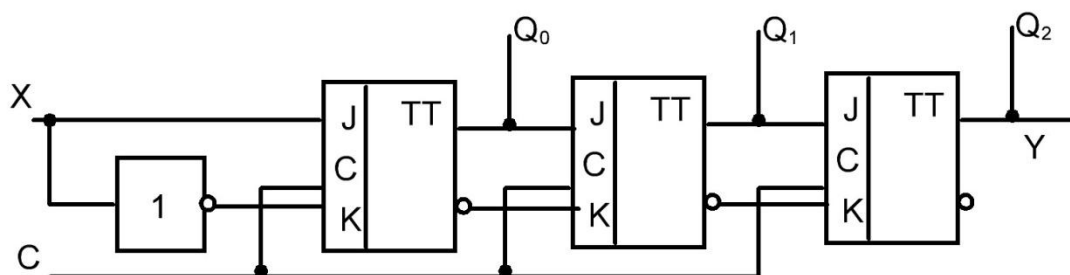


Рис. 6.2. Структура однонаправленного регистра сдвига

В трехразрядном регистре сдвига вправо младший разряд вводимого числа $x=(x_2,x_1,x_0)$, например $x=(1\ 0\ 1)$, подается на вход и записывается в первую ячейку в момент среза первого синхроимпульса C . С приходом следующего сигнала синхронизации $x_0=1$ переносится во вторую ячейку, а в нее записывается $x_1=0$ и т.д. За три такта в регистр будет записано число $x=(1\ 0\ 1)$, т.е. $Q_2=1, Q_1=0, Q_0=1$. За последующие три такта число может быть выведено в последовательном коде на выходе Y .

6.3. Реверсивные регистры

Для смещения кода числа влево выход последующего счетчика (рис.6.3) соединяется с входом предыдущего. Использование в цепях межкаскадных связей схем совпадения обеспечивает возможность управления порядком соединения ячеек и построение схемы реверсивного регистра, осуществляющего сдвиг вправо или влево, в зависимости от значения сигнала управления M .

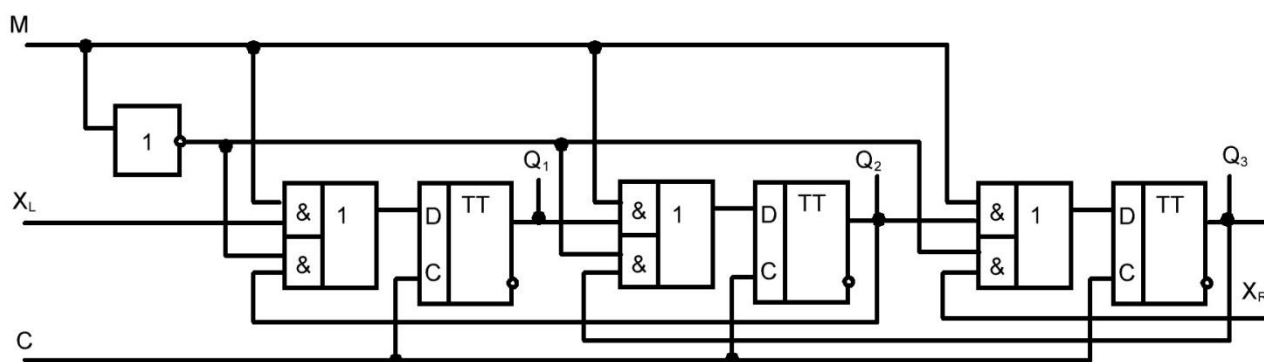


Рис.6.3. Реверсивный регистр сдвига

При подаче сигнала управления $M=1$ функционируют верхние элементы передачи сигналов между триггерами, осуществляющими сдвиг вправо, а при $M=0$ открываются нижние схемы совпадения, обеспечивающие сдвиг влево. Возможна запись с правого X_R или левого входа X_L .

Регистры выпускаются в виде отдельных микросхем или в составе БИС и отличаются числом n разрядов и быстродействием.

Широко распространены универсальные регистры, схемы которых обеспечивают параллельный и последовательный ввод и вывод данных с возможностью сдвига вправо и влево.

ГЛАВА 7

ДИСКРЕТНО-АНАЛОГОВЫЕ УСТРОЙСТВА

7.1. Преобразование аналоговых сигналов в цифровых системах управления

Цифровые вычислительные устройства (ЦВУ) на базе микропроцессоров являются основой большинства современных систем управления и контроля. В данных системах информация о состоянии процесса поступает с различных датчиков, в том числе в виде аналоговых сигналов. Обработка и хранение информации осуществляется в цифровой форме, а для воздействия на аналоговый исполнительный механизм (АИМ), необходимо цифровые сигналы преобразовать в аналоговую форму (рис.7.1).

Преобразование аналогового сигнала $x(t)$ в цифровой код $x(nT_0)$ осуществляется с помощью аналого-цифрового преобразователя (АЦП). Преобразование цифрового сигнала $y(nT_0)$ в аналоговый $y(t)$ реализуется с помощью цифро - аналогового преобразователя (ЦАП).

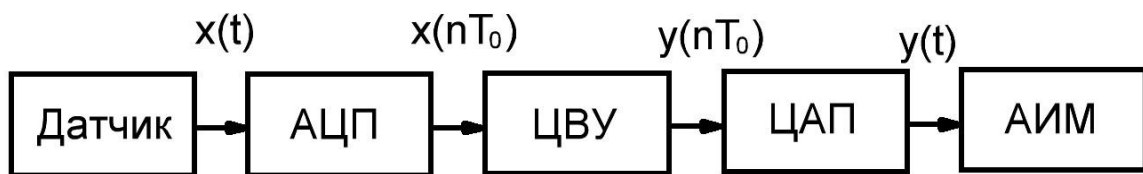


Рис.7.1. Цепочка преобразования аналоговых сигналов в цифровых системах управления

В данном разделе рассмотрены примеры реализации и основные понятия, связанные с процедурами преобразования сигналов.

Преобразование аналогового сигнала (напряжения) в цифровую форму содержит ряд операций, реализуемых в АЦП: дискретизация,

квантование по уровню и кодирование. Укрупненная структура АЦП приведена на рис .7.2.



Рис.7.2. Укрупненная структура АЦП

Устройство выработки-хранения (УВХ) осуществляет дискретизацию аналогового сигнала (шаг квантования T_0) и запоминание значения сигнала в течение времени T_0 . Для реализации этой операции может быть использована схема (рис.7.3), выполненная на основе полупроводникового ключа на МОП – транзисторе. За время действия импульса $U_{упр}$ конденсатор заряжается до значения входного напряжения U_1 (nT_0). По окончании импульса транзистор запирается и напряжение конденсатора не изменяется $U_2(t)=U_1(nT_0)$. Операционный усилитель на выходе работает в режиме повторителя.

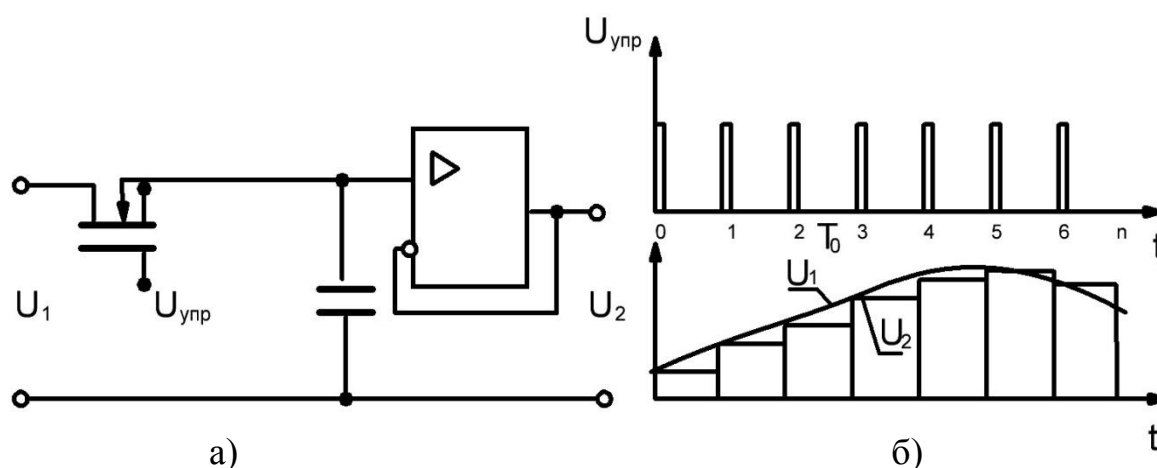


Рис.7.3. Устройство выборки - хранения(а) и диаграммы его работы (б)

Обычно для преобразования аналогового сигнала в цифровой используют специальный элемент – компаратор. При подаче на вход

сигнального и опорного напряжения (рис.7.4), на выходе образуется логический сигнал нулевого или единичного уровня:

$$U = \begin{cases} U^1, & \text{при } U_c - U_{оп} > 0 \\ U^0, & \text{при } U_c - U_{оп} \leq 0 \end{cases}$$

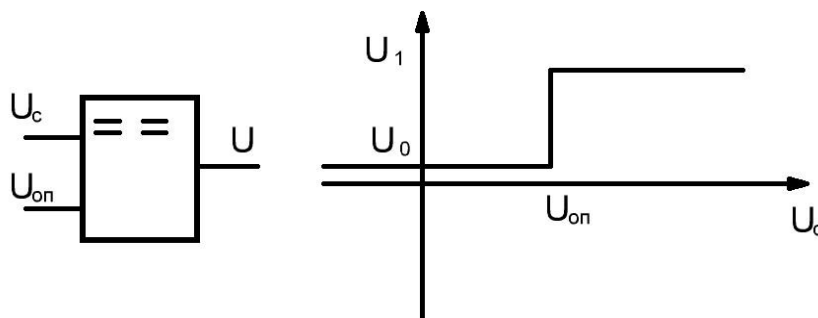


Рис.7.4. Компаратор

7.2. Аналого-цифровой преобразователь параллельного типа

На рис. 7.5. представлена схема АЦП параллельного типа на базе квантового сигнала по уровню .

Квантователь по уровню предназначен для распределения амплитуд дискретного сигнала по уровням с заданным шагом. Разделим диапазон входного сигнала $U=(U_{max} - U_{min})$ на N равных интервалов с шагом квантования по уровню $h=U/ N$. При $n=8$, $N=255$, при $n=16$, $N=65435$, где $N=2^n - 1$.

Рассмотрим ступенчатую характеристику квантователя и схему её реализации с использованием резистивного делителя для $N=7$ (рис.7.5).

С помощью делителя напряжения получаем набор эталонных напряжений по формуле:

$$U_k = \frac{h}{2} + h \cdot (k - 1).$$

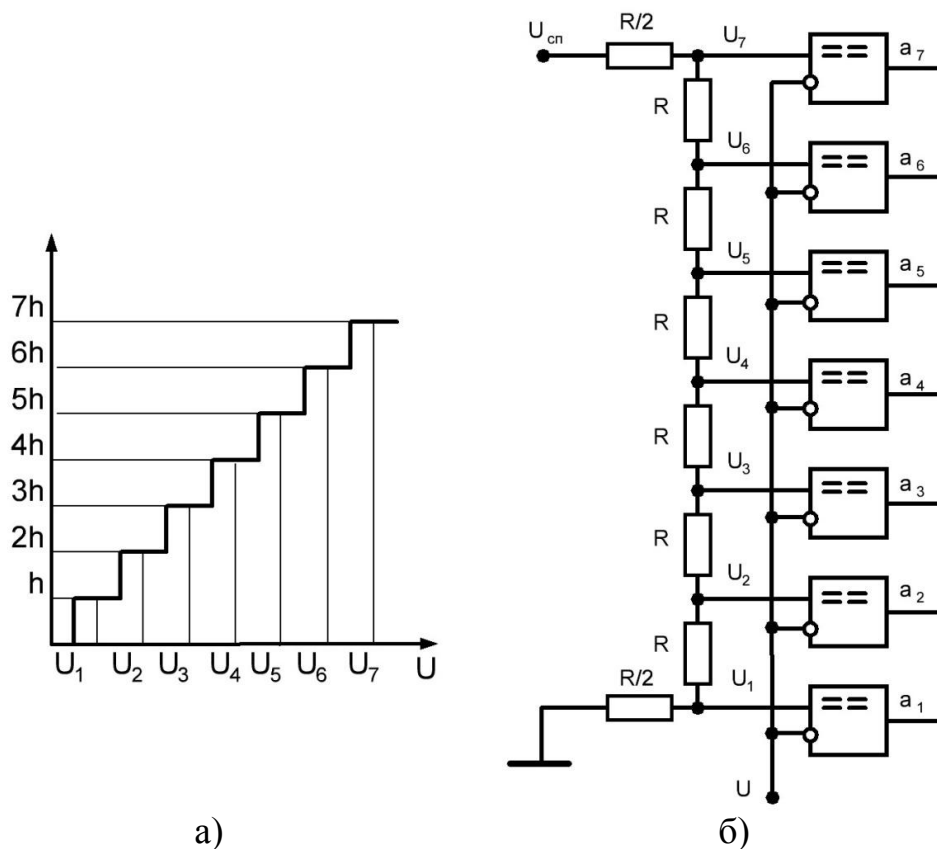


Рис.7.5. Ступенчатая характеристика (а)
и схема реализации квантователя (б)

Двоичные сигналы на выходе компаратора можно преобразовать в двоичный код номера интервала, необходимый для обработки в ЦВУ.

7.3. Аналого-цифровые преобразователи последовательного счета

Принцип последовательного счета (рис 7.6, 7.7) состоит в сравнении входного напряжения $U_{вх}$ с линейно-нарастающим эталонным напряжением $U_3(t)$ и подсчете числа N тактовых импульсов с заданным периодом T_0 в счетчике до момента сравнения напряжения в компараторе. В момент равенства входного и линейно-нарастающего напряжения компаратор вырабатывает напряжение U_k , соответствующее логическому

0. Схема совпадений перекрывает доступ импульсам к счетчику, и на его выходе фиксируется двоичный код числа.

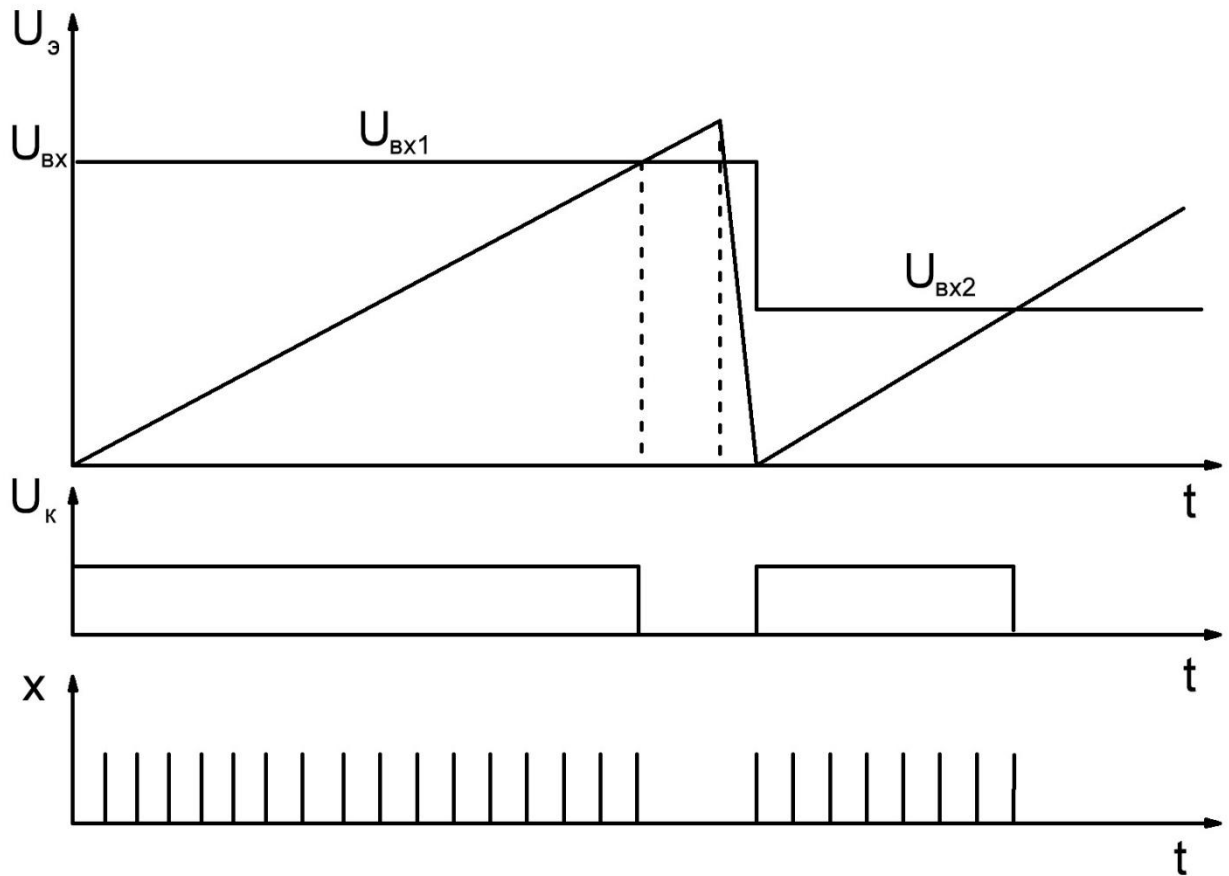


Рис.7.6. Временная диаграмма АЦП поразрядного счета с генератором пилообразного напряжения

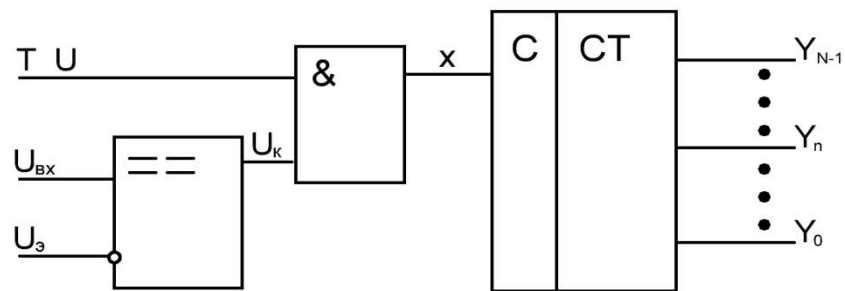


Рис. 7.7. Схема АЦП последовательного счета

Обычно в качестве генератора линейного нарастающего напряжения используется ЦАП (рис.7.8). Особенность АЦП с ЦАП состоит в том, что

эталонное напряжение $U_э(t)=U_{цАП}$ имеет ступенчатую форму. Достоинство рассмотренных АЦП – простота схемной реализации, недостаток – большое время счета.

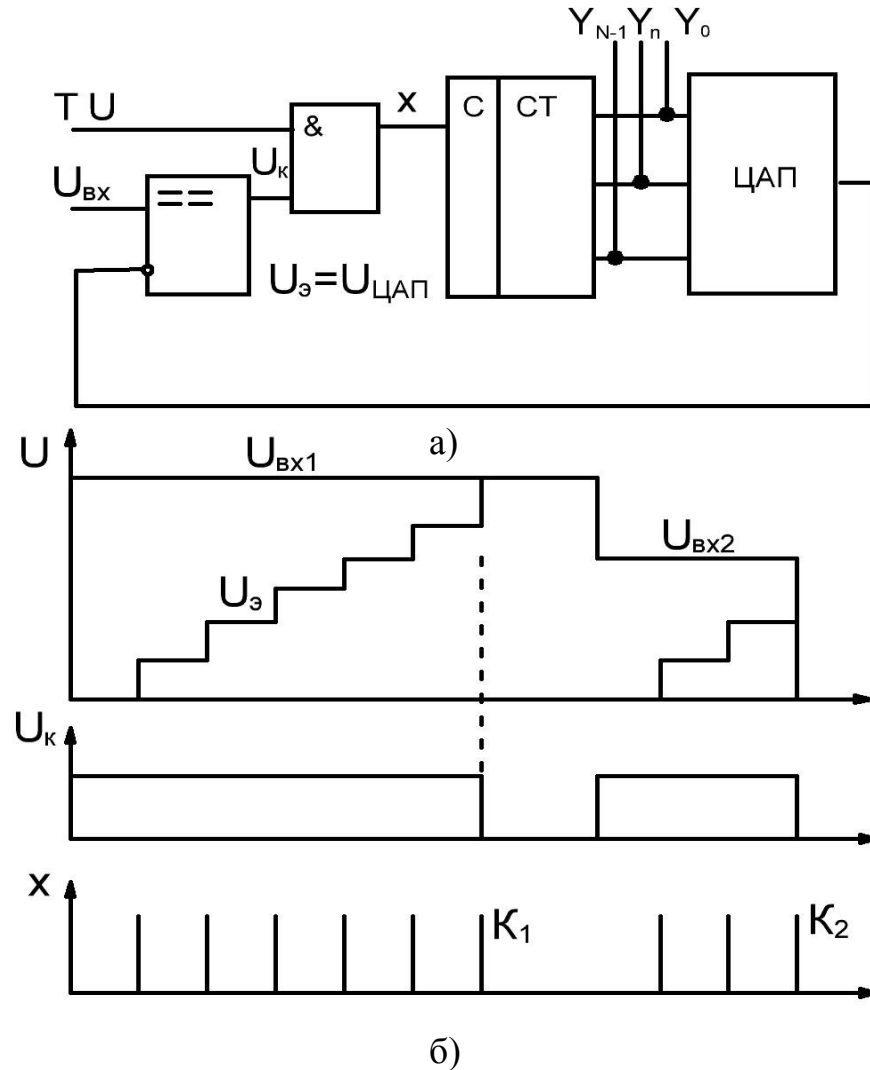


Рис. 7.8. Схема (а) и временная диаграмма АЦП (б)

7.4. Цифро – аналоговые преобразователи

Восстановление аналогового сигнала после обработки цифрового кода в вычислительном устройстве осуществляется с помощью цифро-аналогового преобразователя (ЦАП). Цифро - аналоговое преобразование

заключается в суммировании эталонных величин (токов или напряжений). Произвольный цифровой код преобразуется в параллельный двоичный код и с помощью дешифратора задает состояние ключей коммутатора. Рассмотрим в качестве примера структуру ЦАП прямого преобразования с параллельной подачей кода на все переключатели (рис.7.9).

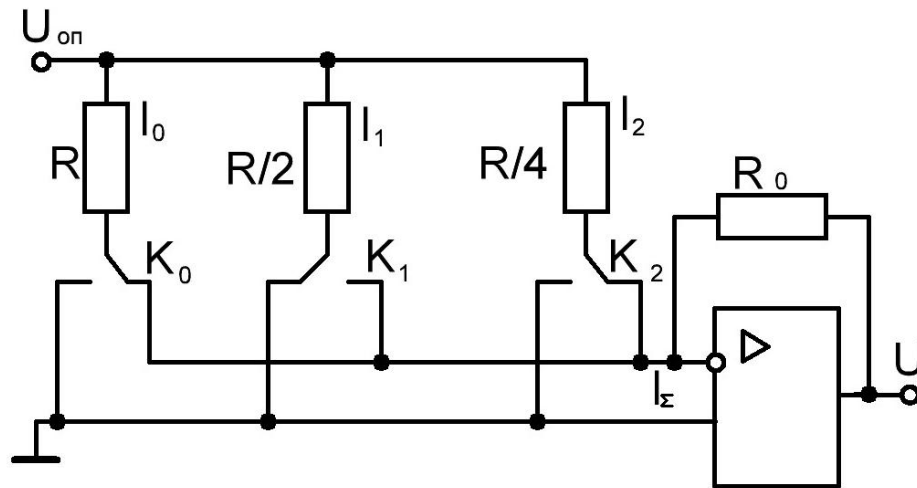


Рис. 7.9. Структура ЦАП с параллельной подачей кода

Из стабильного опорного напряжения $U_{оп}$ формируются соответствующие разрядам эталонные уровни тока. Схема содержит ключи $K_n \dots K_2, K_1, K_0$, управляемые разрядами входимого кода $\alpha = \alpha_n \dots \alpha_2, \alpha_1, \alpha_0$, и матрицу резисторов $R_0, R/2, R/4, \dots, R/2^n$, где n – разрядность входного двоичного кода, взвешенные опорные токи суммируются: $I_0, I_1, I_2, \dots, I_n$, в зависимости от положения ключа подключаются к суммирующему узлу операционного усилителя или замыкаются на корпусе.

$$I_{\Sigma} = \sum_{i=0}^n d_i I_i = \sum_{i=0}^n d_i 2^i I_0$$

$$U = -R_0 I_0 (2^n d_n + \dots + 2^2 d_2 + 2^1 d_1 + 2^0 d_0)$$

Таким образом, в момент подачи входного кода α устанавливается пропорциональное ему выходное напряжение, которое остается неизменным в течение шага квантования T_0 .

Представленная схема содержит один существенный недостаток. Её реализация требует использования широкого диапазона и высокой требуемой точности значений сопротивления резистивной матрицы.

Указанного недостатка лишена схема, содержащая резисторы только двух номиналов R и $2R$ (рис.7.10). В каждом i - узле матрицы ток делится пополам, так как сопротивления правой части схемы, подключенной к i -му узлу, равно $2R$. Чтобы убедиться в этом, необходимо просуммировать все сопротивления правой части схемы, начиная с M -1-го узла, где M – разрядность двоичного числа.

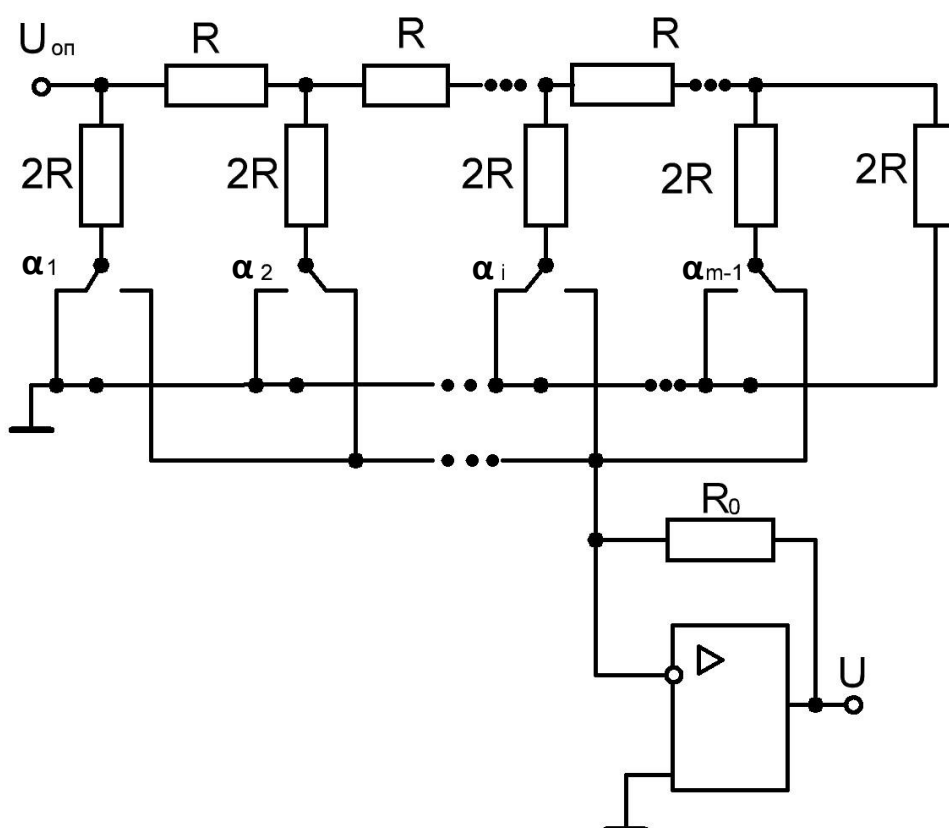


Рис.7.10. Схема ЦАП с резистивной матрицей из двух номиналов R и $2R$

ГЛАВА 8

МИКРОПРОЦЕССОРЫ И СИСТЕМЫ ОТОБРАЖЕНИЯ ЦИФРОВОЙ ИНФОРМАЦИИ

8.1. Микропроцессоры

ЦВУ используется для обработки информации в системах управления.

Цифровые преобразователи подразделяются на два типа устройств:

- с жесткой логикой;
- с гибким перестраиваемым процессом обработки данных путем программирования.

Базовым элементом вычислительной системы с программируемым управлением является процессор (processor), выполняющий обработку данных в соответствии с заданным алгоритмом.

Интегральный микропроцессор, выполняющий преобразование входных кодов чисел в соответствии с заданным алгоритмом, зафиксированным во внешней программе, выделен в виде самостоятельного полупроводникового устройства. В результате развития технологии больших интегральных схем (БИС) созданы универсальные БИС – микропроцессоры, которые широко используются не только в вычислительной технике, но и в разнообразных промышленных, бытовых и других устройствах.

Микропроцессор (МП) – это полупроводниковый прибор, предназначенный для обработки информации и управления, рассчитанный на современную работу с устройствами памяти, ввода - вывода информации и другими периферийными устройствами (рис. 8.1).

Микропроцессор выполняется в виде БИС с программируемой логикой.

Микропроцессор состоит из арифметико-логического устройства (АЛУ), устройства управления (УУ), блока внутренних регистров и шин

обеспечивающих связь внутренних устройств между собой и с внешней аппаратурой.

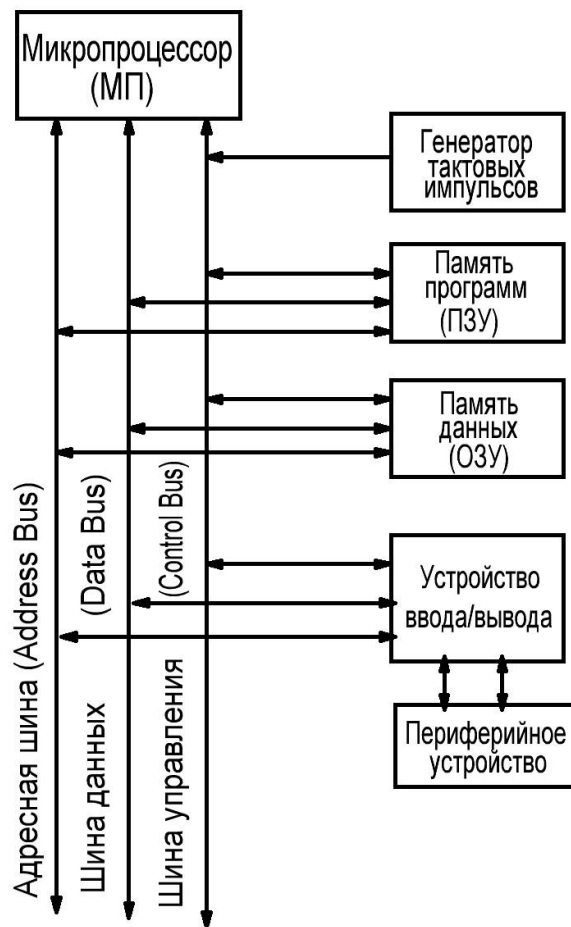


Рис.8.1. Упрощенная схема микропроцессорной системы

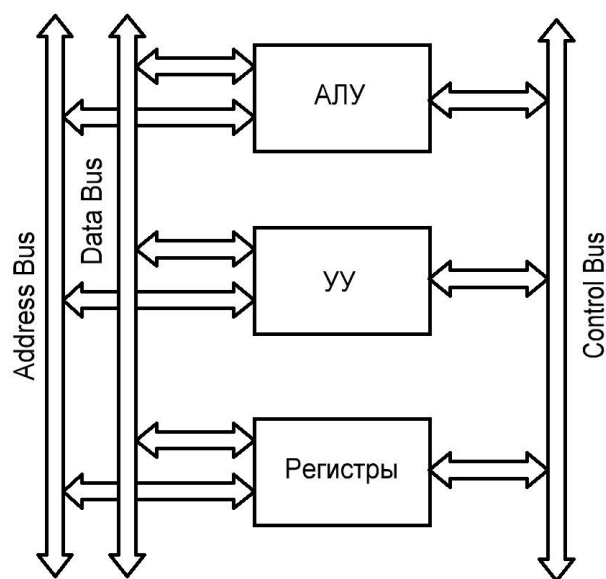


Рис. 8.2. Структурная схема микропроцессора

Данная структура реализуется на базе узлов и блоков цифровой электроники: дешифраторов, мультиплексоров, регистров, сумматоров и т.д.

АЛУ – арифметико-логическое устройство – реализует простейшие арифметические и логические операции над данными и адресами, представленными в двоичном коде: сложение (*ADD*), вычитание (*SUB*), сдвиг (*SHIFT*), сравнение (*COMP*), логические функции И (*LAND*) и другие. Сложные операции, такие как умножение, деление, вычисление функций, могут быть реализованы программным путем.

УУ – устройство управления – организует работу АЛУ и всех других элементов МП. В УУ поступающие из памяти команды преобразуются в двоичные сигналы, которые непосредственно воздействуют на все элементы МП и обеспечивают выполнение определенной команды. УУ соединено с генератором тактовых сигналов (таймеров), с помощью которого выполняемые команды распределяются по времени.

Блок внутренних регистров образует внутреннюю сверхоперативную память и содержит специальные регистры и регистры общего назначения (*РОН*). Регистры общего назначения предназначены для хранения промежуточных результатов, адресов и команд, возникающих в ходе выполнения программы.

Специальные регистры предназначены для обеспечения выполнения команд в заданной программой последовательности.

Обмен данными между регистрами АЛУ и передача управляющих сигналов осуществляется по быстродействующей внутренней магистрали, в которой выделяют шины данных (*Data Bus*), адресов (*Address Bus*) и управления (*Control Bus*).

Например данные и команды передаются по шине данных (D_0, \dots, D_7). Адресная шины содержит 16 линий (выводов), обеспечивающих выбор $2^{16}=65536$ внешних устройств (ячеек ЗУ, портов ввода - вывода).

Обеспечение взаимодействия МП с внешними устройствами (рис. 8.2.) определяется числом выводов корпуса МП (внешний интерфейс МП). На рис. 8.3. приведен пример корпуса с 40 выводами.

Примерно шесть выводов отведено для подключения линий электропитания, синхронизирующих импульсов (C_1 , C_2) для начальной установки и сброса. В результате для целей управления (запись/чтение, запрос прерывания и т.д.) можно использовать до десяти выводов

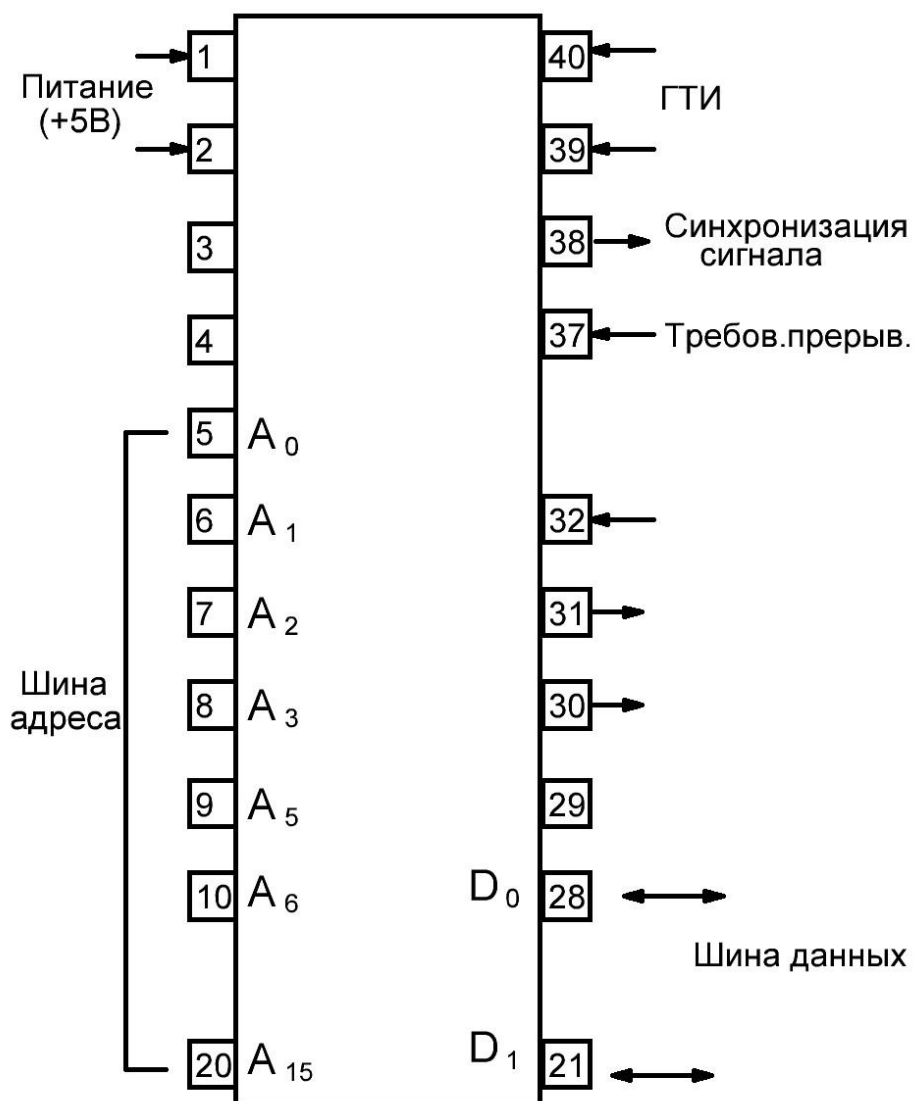


Рис. 8.3. Внешний интерфейс МП

8.2. Микропроцессорные системы

В самых различных областях техники нашли широкое применение типовые микропроцессорные вычислительные структуры (микропроцессорные системы), развитие которых базируется на совершенствовании характеристик МП.

Основные этапы развития МП:

1971 год – корпорация *Intel (Integrated Electronics)* объявила о выпуске микропроцессора 4004, который на чипе площадью $0,1\text{см}^2$ содержал 2300 транзисторов *p*-МОП. Тактовая частота 108кГц, МП выполнял примерно 60000 операций в секунду с четырех разрядными числами.

1974 год – микропроцессор 8080 на чипе $4,2\times 4,9\text{мм}$, 6000 транзисторов, выполненных по *n*-МОП технологии. Тактовая частота 2МГц, что позволяло выполнять 200000 операций в секунду с восьмиразрядными числами.

1993 год содержит на чипе 3 млн транзисторов с применением Би КПОП – вентилях с биполярным транзистором на выходе. Обработка информации осуществляется с тактовой частотой 60...200МГц при работе с 32 - разрядными числами.

По назначению различают универсальные и специализированные микропроцессоры.

Универсальные микропроцессоры предназначены для решения широкого круга разнообразных задач, например, они используются в персональных компьютерах.

Специализированные микропроцессоры используются в микропроцессорных системах, ориентированных на эффективное выполнение конкретных функций. Для примера: специализированные микропроцессоры используются в микроконтроллерах (МК). МК

предназначены для сбора информации, контроля и управления производственными и другими объектами. Они отличаются малыми габаритами, энергопотреблением, значительным числом портов для подключения внешних устройств, в том числе АЦП, ЦАП, блоков автономного питания и других. Например, в системах автоматизированного электропривода в микроконтроллере предусмотрена встроенная или отдельная плата широтно-импульсного модулятора (ШИМ) для управления силовым блоком, а также АЦП для преобразования сигналов датчиков положения, тока в цифровой код.

8.3. Программные средства для программирования микроконтроллеров

Для программирования микроконтроллеров используются специальные языки программирования, которые описаны в стандарте Международной электротехнической комиссии *IEC 61131-3*. В этом стандарте описаны два текстовых языка (*IL* – список инструкций и *ST* – структурированный текст), два графических языка (*LD* – язык диаграмм лестничной логики и *FBD* – язык диаграмм функциональных блоков), а также язык графических схем *SFC* (язык последовательных функциональных схем). Реализация большинства задач управления требует не столько большого объема математических вычислений, сколько значительного количества логических операций.

Основные объекты адресаций языков программирования представляют собой биты, соответствующие дискретным логическим переменным, либо слова определенного формата, соответствующие числовым данным. В таблице 23 приведен формат вводимых и выводимых данных, а в таблице 24 – формат внутренних переменных в соответствии со стандартом *IEC*.

Таблица 23

%	I или Q	x, W или D	x	y	·	i
Символ IEC	I – вход Q – выход	x – бит W – слово D – двойное слово	Номер корзины	Номер модуля		Номер канала

Таблица 24

%	M, K или S	x, B, W, D или F	i
Символ IEC	M – внутренний K – константа S – системный	x – бит B – байт W – слово D – двойное слово F – число с плавающей точкой	Адрес (номер ячейки памяти)

1. Язык *Ladder Diagram (LD)*. Язык *LD* – представляет собой графическую интерпретацию процесса разработки релейно-контакторных схем. Этот язык наиболее удобен для программирования небольших задач дискретной логики. На экране программатора составляется схема, аналогичная принципиальной электрической релейной схеме, и с помощью специальных программ в программаторе или контроллере создается управляющая программа.

Программы, написанные на языке *LD*, состоят из последовательности ступеней, которые выполняются последовательно слева направо. Ступень состоит из наборов графических элементов, ограниченных слева и справа условными шинами питания. В качестве примера в таблице 25 приведены некоторые базовые элементы языка *LD*.

Таблица 25

Наименование		Символы	Функции
1	2	3	4
Элементы условий	Нормально открытый контакт		Контакт замкнут, когда битовая переменная, которая управляет им, равна 1.

Продолжение табл. 25

1	2	3	4
	Нормально закрытый контакт		Контакт замкнут, когда битовая переменная, которая управляет им, равна 0.
Элементы действия	Прямая обмотка		Устанавливает битовый объект в соответствии с результатом, полученным в проверочной зоне.
	Обратная обмотка		Устанавливает битовый объект в значение, равное инверсии от результата, полученного в проверочной зоне.
	Устанавливающая обмотка		Устанавливает соответствующий бит в 1, когда результат полученный в проверочной зоне, равен 0.
	Сбрасывающая обмотка		Сбрасывает соответствующий битовый объект в 0, если результат, полученный в проверочной части, равен 1.
Проверочные элементы	Блоки: таймер, счетчик, регистр и т.д.		Каждый из блоков стандартной функции использует входы /выходы, через которые обеспечиваются связи с другими графическими элементами.

1	2	3	4
	Горизонтальный блок сравнения « <i>Compare</i> »		Позволяет сравнивать 2 операнда. Выход принимает значение 1, если при сравнении получен истинный результат (блок может содержать до 4096 символов).
Элемент действия	Операционный блок « <i>Operate</i> »		Использует арифметические, логические и другие операции и используют синтаксис языка структурированного текста (до 4096 символов).

2. Язык *Instruction List (IL)*. *IL* язык аналогичный ассемблеру. Написанная на нем программа представляет собой список последовательно выполняемых инструкций, которые адаптированы к задачам управления. Каждая инструкция состоит из кода инструкции и операнда. Например: *LD %1.0*, где *LD* – код инструкции, *1.0* – операнд.



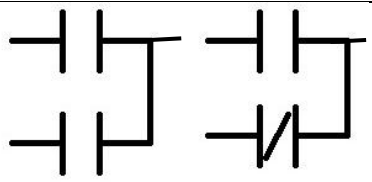

Инструкции активируют:

- Входы/выходы ПЛК (кнопки, датчики, реле, индикаторные лампы и т.д.);
- Стандартные системные управляющие функции (таймеры, счетчики и т.д.);
- Арифметические и логические операции;
- Внутренние переменные.

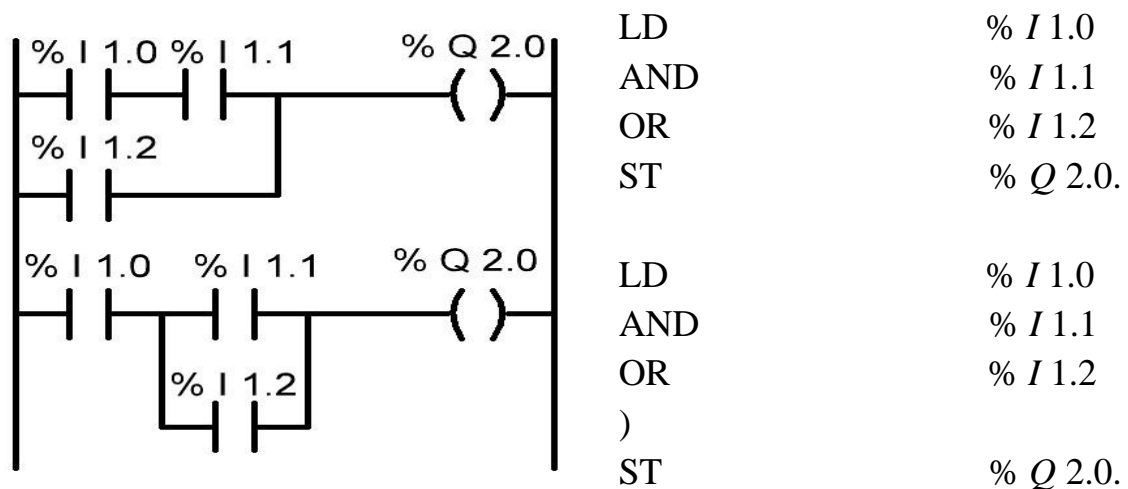
Существуют два типа инструкции:

- Проверочные инструкции, которые содержат условия, необходимые для того чтобы выполнить действия, например *LD*, *AND*, *OR* и т.д.;
- Инструкции действия, которые активируют действия, после проверочных инструкций: *ST*, *STN*, *S*, *R*, базовые инструкции языка *IL* приведены в табл. 26.

Таблица 26

Наименование	Инструкции	Эквивалентные функции <i>LD</i>
Проверочные инструкции	LD, LDN	
	AND, ANDN	
	OR, ORN	
Инструкции действия	ST, STN, S, R	

Ниже приведены примеры оформления фрагмента программы на языках *LD* и *IL*.



3. Язык *Functional Block Diagrams (FBD)*. Язык функциональных блоков (*FBD*) позволяет создать программу практически любой сложности на основе стандартных функциональных блоков. Все программирование сводится к коммутации готовых компонентов. *FBD* – это графический язык программирования, при котором на экране программатора составляется схема, которая отражает последовательность обработки как логических, так и цифровых сигналов с максимальной наглядностью.

4. Язык последовательно-функциональных схем или Графсет (*Sequentional Function Chart, SFC*) – графический язык программирования, аналогичный Спок-схеме алгоритмов.

Этот язык удобен для программирования процессов с последовательными операциями и наличием сложных ветвлений в алгоритме управляющей программы. Порядок программирования на этом языке предполагает разработку программы «Сверху – вниз». Для программирования элементов самого низкого уровня необходимо использовать языки *IL*, *LD* или *FBD*.

5. Язык *Structured Text, ST* относится к классу текстовых языков высокого уровня. Этот язык программирования подобен таким языкам, как *Ada*, *Pascal* и *C*. Язык *ST* является основным для программирования последовательных шагов языка *SFC*. Кроме того он совместим со всеми остальными языками стандарта *IEC – 1131*.

8.4. Системы отображения информации

Важным элементом обработки информации является её визуальное отображение с использованием технических средств.

Наиболее простой способ преобразования аналоговых электрических сигналов в визуально наблюдаемые сигналы состоит в применении электромеханических измерительных преобразователей (магнитоэлектрических, электродинамических и др), которые реализуются

во вторичных приборах для отклонения стрелок и индикаторов. Вторичные приборы komponуются на пультах управления вместе со средствами для формирования управляющих сигналов. При больших объемах информации такой вид отображения информации становится неэффективным.

Благодаря развитию электроники существенно изменились возможности средств обработки и отображения информации.

Необходимо выделить по крайней мере два аспекта, связанные с построением устройств отображения информации. Первый аспект связан с физической природой работы элемента индикации, второй – со средствами формирования информационных полей.

Элементы индикации (ЭИ) – это конструктивно завершённый преобразователь информационного электрического сигнала в пространственное распределение параметров излучения.

Элемент индикации определяет основные показатели качества устройств отображения информации: размер, разрешающую способность, яркость, контрастность, цвет и т.д.

По принципу действия ЭИ делятся на активные, излучающие свет (фотоны) и пассивные, управляющие внешним световым излучением.

К активным элементам можно отнести: лампы накаливания, электронно-лучевые трубки (ЭЛТ), газоразрядные приборы, электролюминесцентные и полупроводниковые.

К пассивным элементам индикации относятся: электромеханические, электромагнитные, жидкокристаллические и т.д.

Рассмотрим принцип работы наиболее распространённых в электронной аппаратуре ЭЛТ и жидкокристаллических индикаторов, а также плазменных индикаторов.

Устройства на базе ЭЛТ Cathode Ray Tube (CRT).

Электронно-лучевая трубка применяется до настоящего времени в осциллографах, радиолокаторах, телевизионных приемниках, дисплеях вычислительных машин.

Принцип действия состоит в эмиссии катодом потока электронов, формировании его в виде луча, воздействующего на люминофор и вызывающего свечение экрана. В стеклянной колбе ЭЛТ расположены электронный прожектор (катод с нагревателем и модулятор), фокусирующая система, отклоняющая система и покрытый люминофором экран (рис. 8.4).

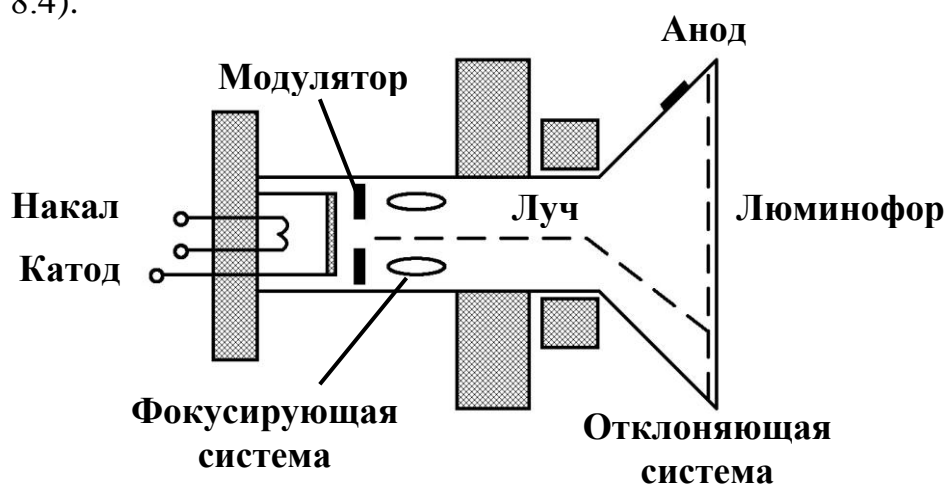


Рис. 8.4. Электронно-лучевая трубка ЭЛТ

При нагревании с помощью нити накала катод испускает электроны, количеством которых можно управлять путем изменения потенциала модулятора. Электроны приобретают ускорение в электрическом поле, которое создается высоким напряжением порядка 20 кВ между катодом и анодом.

Вышедшие из электронного прожектора электроны фиксируются в узкий пучок, который создает светящееся пятно на люминофоре экрана.

Как отмечалось, ранее второй аспект обработки изображения связан с формированием информационного поля. Положением луча на экране управляет отклоняющая система, которая может использовать явление силового воздействия на движущиеся электроны в магнитном или в

электрическом поле. При электростатическом отклонении электронный луч проходит между двумя парами параллельных пластин. Первая пара пластин отклоняет луч в вертикальном направлении, вторая – в горизонтальном, трубки с электростатическим отклонением используются в осциллографах и мониторах радиолокаторов. Они имеют высокое быстродействие, но небольшой угол отклонения.

Электромагнитное отклонение луча достигается с помощью магнитных катушек (рис.8.5). Использование сильных магнитных полей, создаваемых ортогонально расположенными катушками, дает возможность получить большие углы отклонения. Электромагнитное отклонение используется в телевизионных кинескопах и дисплеях, где требуется большой размер экрана, при ограничении на длину ЭЛТ.

Получение сплошного изображения (информационного поля) достигается с помощью растровой развертки.

Луч перемещается в горизонтальном направлении и одновременно смещается вниз по вертикали. При этом интенсивность луча изменяется в соответствии с информационным сигналом.

Генераторы линейно изменяющихся токов кадровой и строчной разверток, а также модулятор видеосигнала перемещают луч и изменяют его интенсивность. В результате модуляции интенсивности свечения на экране отображается информация, закодированная во входном сигнале (рис. 8.5).

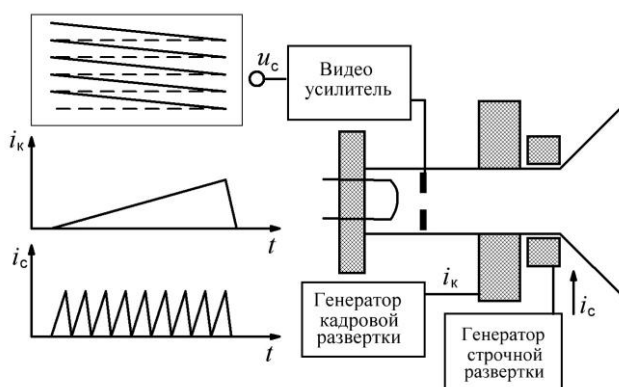


Рис.8.5. Принцип формирования информационного поля в ЭЛТ

8.5. Жидкокристаллические индикаторы и дисплеи

Liquid Crystal Display (LCD)

С расширением функций и областей использования цифровых систем возрастает число приложений, которые требуют компактных устройств отображения оперативной информации.

Одним из направлений создания плоских графических дисплеев является использование оптических явлений в жидких кристаллах (ЖК).

Функционирование жидкокристаллического индикатора основано на явлении поляризации светового потока. Жидкокристаллические материалы способны изменять поляризацию света при воздействии электрического поля. Если жидкокристаллическую среду дополнить кристаллом полярисидом, пропускающим свет только с определенной поляризацией, то образуется элемент, прозрачностью которого можно управлять с помощью внешнего напряжения.

LCD использует эффект динамического рассеивания света, который реализуется при помутнении прозрачного слоя жидкокристаллического вещества, помещенного между электродами при прохождении тока.

Эффект проявляется при приложении постоянного или переменного низкочастотного напряжения $U=5В$ и сохраняется при снятии напряжения.

Если расположить несколько ячеек, имеющих различную форму и индивидуальную систему управления, то можно отображать на экране цифры, буквы и другие элементы. Добавление в жидкокристаллическое вещество красителя, имеющего идентичную конфигурацию молекул, позволяет управлять цветом ячейки. Конструктивно все типы ячеек состоят из тонкого (5...20 мкм) слоя жидкокристаллического вещества между двумя стеклянными пластинками, на которые помещены прозрачные электроды из окиси олова (рис. 8.б.)

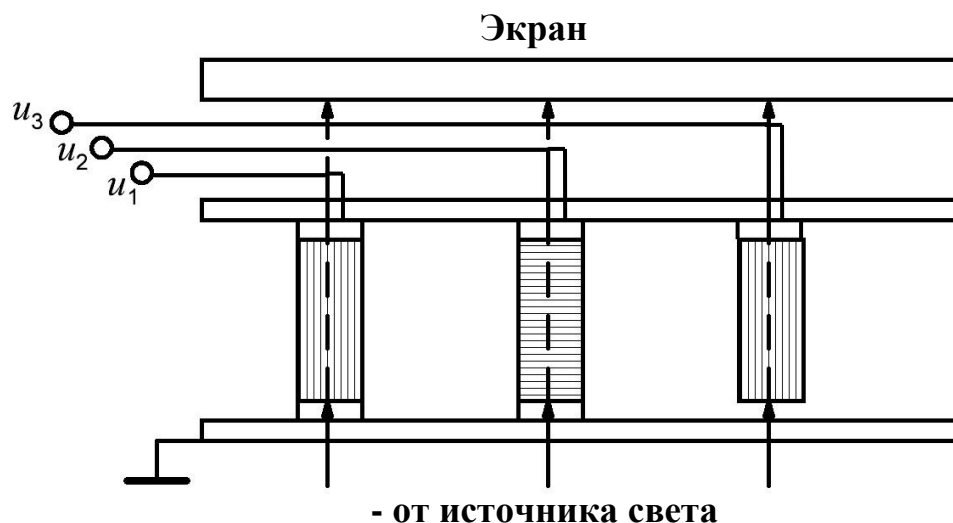


Рис. 8.6. Жидкокристаллический индикатор, работающий на просвет

8.6. Плазменные элементы и панели Plasma Display Panels (PDP)

Индикаторные плазменные панели (экраны) представляют собой две стеклянные пластины, объём между которыми заполнен инертным газом (аргон или неон). На поверхность пластин нанесены плоские прозрачные электроды (шины), на которые подается управляющее напряжение. Системы параллельных проводящих шин на противоположных пластинах расположены ортогонально, образуя матричную структуру, в узлах которой сформировали элементы индикации.

Электроды имеют непосредственный контакт с газом. Управление работой ячеек производится с помощью импульсов подаваемых на шины строк и столбцов. При наличии напряжения достаточной амплитуды между катодом и анодом ячейки происходит ионизация газа и возникает разряд.

Преимуществом плазменных дисплеев является большая яркость и контрастность изображения. К основным недостаткам относится высокая потребляемая мощность.

ГЛАВА 9

ЭЛЕКТРИЧЕСКИЕ ДАТЧИКИ

9.1. Определение, основные параметры, классификация датчиков

Датчиком называется устройство, осуществляющее преобразование входной контролируемой величины в выходной сигнал, удобный для ввода его в систему управления или дистанционной передачи. Входным сигналом наиболее часто является некоторая физическая (неэлектрическая) величина (перемещение, давление, скорость, ускорение, температура, угол поворота и другие параметры), но может быть и электрическая величина (напряжение, ток). Выходным сигналом является электрическая величина: напряжение, ток, сопротивление. Сигнал датчика в последующей части цепи подвергается обработке и преобразованию к виду, удобному для передачи по линиям связи и дальнейшего преобразования и применения.

Преимущественное применение получили датчики с последовательным преобразованием. В этом случае датчик состоит из воспринимающего (чувствительного), преобразовательного и исполнительного элементов. Важнейшей частью датчика является чувствительный элемент, который выдает первичный сигнал. Как правило, первичный сигнал датчика является аналоговым. Часто этот сигнал не может непосредственно воздействовать на исполнительный элемент, в этом случае он подается на преобразовательный элемент, в котором в зависимости от необходимости могут выполняться различные операции (усиление сигнала, требуемое преобразование сигнала).

Для производства характерно такое применение датчиков, когда результаты измерений соответствующего параметра сразу же используются для автоматического регулирования технологического процесса. Если система управления имеет цифровую структуру, то необходимо преобразовать аналоговые измеряемые сигналы в цифровую

форму. Для этого применяются интегральные схемы аналогово-цифровых преобразователей (АЦП).

Часто современные датчики оснащаются встраиваемыми микроконтроллерами. Это позволяет выполнить требуемую математическую обработку информации непосредственно в процессе измерения и управления измерением, а также упростить передачу данных в систему управления.

Важным показателем датчика как преобразователя является характеристика управления – это функциональная зависимость выходной величины от входной, которая описывается аналитическим выражением или графиком, полученным экспериментальным путем.

Важными характеристиками датчика являются относительная чувствительность, порог чувствительности, приведенная относительная погрешность.

Относительная чувствительность – это отношение относительного приращения выходной величины к относительному приращению входной величины.

Порог чувствительности – это минимальное (по абсолютной величине) значение входной величины, при котором выходная величина начинает изменяться.

Точность датчиков характеризуются приведенной относительной погрешностью, которая определяется отношением абсолютной погрешности к максимальному значению выходной величины, определяющему диапазон ее измерения. Эта погрешность обычно записывается в процентах.

Датчики классифицируются по различным признакам. По энергетическому режиму работы датчики делятся на два класса: параметрические (пассивные) и генераторные (активные).

К параметрическим относятся датчики, у которых изменение входной (контролируемой) величины вызывает изменение

соответствующих параметров электрической цепи преобразователя, что приводит к изменению выходного сигнала. Для работы этих датчиков требуется источник питания. К параметрическим датчикам относятся: резистивные с изменяющимся активным сопротивлением, индуктивные с изменяющейся индуктивностью, емкостные с изменяющейся емкостью.

К генераторным относятся датчики, у которых контролируемый параметр преобразуется в ЭДС, связанную с контролируемым параметром определенной зависимостью. Следовательно, активные датчики не нуждаются в постороннем источнике питания. К этой группе датчиков относятся индукционные, термоэлектрические, фотоэлектрические, пьезоэлектрические. Индукционные датчики являются наиболее распространенными. Их принцип действия основан на индуцировании ЭДС при изменении входного контролируемого параметра (скорости, частоты вращения, приложенного усилия и других параметров).

Датчики классифицируют также по виду контролируемого входного параметра: датчики перемещения, давления (усилия, веса), скорости, ускорения, температуры, освещенности и др.

9.2. Датчики напряжения и тока

Это датчики, преобразующие электрические величины в электрические, они подразделяются на датчики напряжения и датчики тока. Датчики могут выполняться на основе дискретных элементов (резисторов, шунтов, транзисторов, диодов, трансформаторов) или в виде интегральных микросхем, или в их сочетании.

По роду тока или напряжения датчики подразделяются на датчики постоянного и переменного напряжения (тока).

9.2.1. Датчики постоянного напряжения

Наиболее простым по устройству является датчик постоянного напряжения (рис. 9.1), состоящий из двух резисторов, соединенных последовательно (делитель напряжения). На вход схемы подается контролируемое напряжение $U_{\text{вх}}$, а выходное напряжение $U_{\text{вых}}$ снимается с резистора R_2 и поступает в схему управления. Датчик преобразует напряжение $U_{\text{вх}}$ в напряжение меньшей величины:

$$U_{\text{вых}} = U_{\text{вх}} \frac{R_2}{R_1 + R_2} = U_{\text{вх}} \cdot K_{\text{д}},$$

где $K_{\text{д}} = \frac{R_2}{R_1 + R_2}$ – коэффициент преобразования датчика.

Датчики напряжения находят широкое применение в регуляторах постоянного тока.

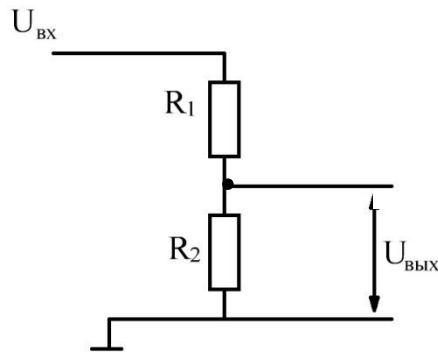


Рис. 9.1. Датчик постоянного напряжения

Достоинства датчика постоянного напряжения: простота устройства, надежность в работе, безинерционность, линейность градуировочной характеристики. Его недостатком является связь между входом и выходом датчика через общий источник питания, что ухудшает стабильность работы датчика за счет изменения градуировочной характеристики. Поэтому часто возникает необходимость обеспечения гальванической

(непосредственной) развязки между контролируемой цепью и системой управления.

Существуют различные способы гальванической развязки. Одним из них является применение оптоэлектронной пары (оптрона), выполненной в виде интегральной микросхемы (рис. 9.2).

Оптрон – полупроводниковый прибор, содержащий источник излучения и приемник излучения, помещенные в одном корпусе и связанные между собой оптическим каналом. На рис. 9.2 представлена оптопара из светодиода CD и фототранзистора ΦT . Светодиод представляет собой полупроводниковый $p-n$ переход, включенный в прямом направлении ($U_{вх} = U_{пр}$). При протекании прямого тока $I_{пр}$ происходит интенсивная рекомбинация элементов и дырок по обе стороны границы $p-n$ перехода, что приводит к световому излучению Φ . Чем больше напряжение $U_{вх}$, тем больше ток $I_{пр}$ и световой поток Φ , который через оптический канал воздействует на базу фототранзистора ΦT типа $n-p-n$ с отключенной базой.

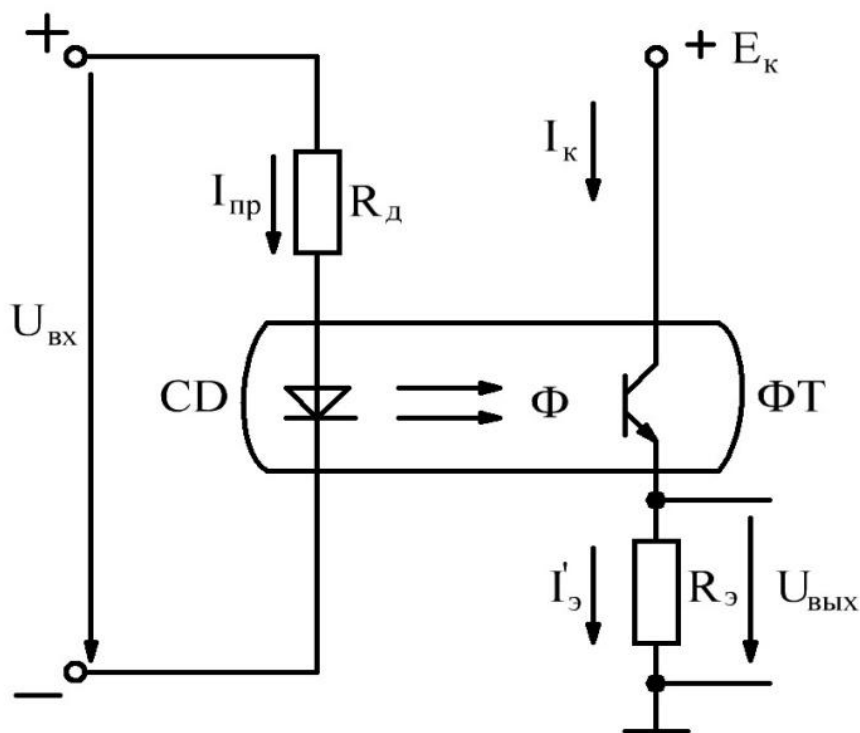


Рис. 9. 2 .Условное графическое обозначение оптрона

Выходные характеристики фототранзистора подобны выходным характеристикам биполярного транзистора с общим эмиттером, но положение характеристик определяется не током базы, а величиной светового потока. Световой поток подается на базу фототранзистора, поэтому эмиттер делают тонким и небольших размеров. Под действием света в области базы образуются пары носителей зарядов – электроны и дырки. Электроны (неосновные носители заряда в базе) под действием электрического поля источника E_k движутся через коллекторный переход, образуя фототок $I_k = I_э$, проходящий через резистор $R_э$. Дырки, не прошедшие через эмиттерный переход и оставшиеся в базе, снижают потенциальный барьер, что облегчает переход электронов из эмиттера в базу, увеличивая коллекторный фототок. Чувствительность фототранзистора значительно больше чувствительности фотодиода.

Таким образом, увеличение напряжения $U_{вх}$ приводит к увеличению прямого тока $I_{пр}$ и возрастанию светового потока Φ . В результате растет фототок $I_k = I_э$ фототранзистора и увеличивается выходное напряжение $U_{вых}$.

В качестве оптического канала применяются различные материалы с малыми потерями светового излучения и хорошо защищающими от электромагнитных полей.

В оптроне входная и выходная цепи имеют разные источники напряжения, этим достигается гальваническая развязка цепей входа и выхода датчика. В результате устраняются паразитные обратные связи, ухудшающие стабильность характеристик датчика. Основным недостатком этого датчика заключается в том, что характеристика оптопары является нелинейной.

Другой способ гальванической развязки связан с модуляцией и демодуляцией (модулятор – демодулятор). Постоянное входное напряжение датчика с помощью инвертора (модулятора) преобразуется в переменное напряжение с амплитудой, равной или пропорциональной

входному напряжению $U_{\text{вх}}$ датчика. Это напряжение усиливается усилителем переменного тока. Далее демодулятор с помощью выпрямителя преобразует переменное напряжение в постоянное, причем величина постоянного напряжения $U_{\text{вых}}$ пропорциональна амплитуде переменного напряжения, а следовательно, пропорциональна входному напряжению датчика. Таким образом, устраняется гальваническая связь между входной цепью датчика и выходной.

Модулятор и демодулятор могут быть электромеханическими (вибропреобразователи) или электронными на базе транзисторов, в виде интегральных схем.

Вместо усилителя переменного тока в схеме гальванической развязки может применяться трансформатор.

9.2.2. Датчики переменного напряжения

Датчики переменного напряжения обычно включают в себя маломощный понижающий трансформатор, обеспечивающий гальваническую развязку цепи с измеряемым напряжением, и системы управления. Для датчиков синусоидального напряжения обычно к вторичной обмотке подключается выпрямитель с емкостным фильтром. В этом случае напряжение на конденсаторе пропорционально амплитудному, среднему и действующему значениям контролируемого напряжения.

При высоких контролируемых напряжениях в качестве датчиков применяются измерительные трансформаторы напряжения. Измерительный трансформатор напряжения предназначен для преобразования высокого напряжения в низкое напряжение стандартного номинального значения (100 В). Кроме того, он служит для разделения измерительных цепей и цепей релейной защиты от цепей высокого напряжения. Изоляция вторичной обмотки низкого напряжения позволяет обезопасить работу персонала. Конструктивно трансформаторы

напряжения похожи на маломощные силовые трансформаторы. Схема включения однофазного двухобмоточного измерительного трансформатора напряжения представлена на рис. 9.3. Первичная обмотка имеет значительно больше витков, чем вторичная. На первичную обмотку подается измеряемое напряжение (A, X – выводы высокого напряжения), а к вторичной обмотке с низким напряжением (выводы a, x), подключается высокоомная нагрузка (вольтметр, обмотки реле и др). Во вторичной обмотке протекает небольшой ток, поэтому можно считать, что трансформатор напряжения работает в режиме холостого хода. Следовательно, изменения вторичного напряжения пропорциональны изменениям первичного напряжения при постоянном коэффициенте трансформации.

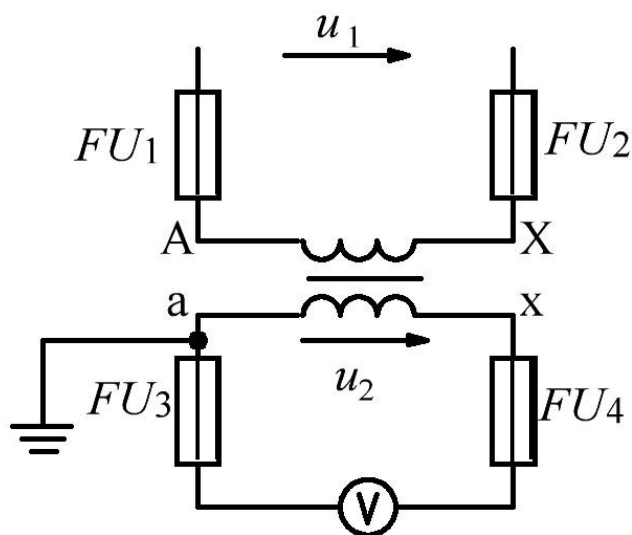


Рис. 9.3. Однофазный двухобмоточный измерительный трансформатор напряжения

В целях безопасности обслуживающего персонала один зажим вторичной обмотки и стальной кожух трансформатора напряжения обязательно заземляются, чтобы при пробое изоляции между обмотками провод с высоким потенциалом оказался замкнутым на землю.

Предохранители (FU_1, FU_2) на высоковольтной стороне служат для защиты сети от возможных коротких замыканий в трансформаторе напряжения. Предохранители FU_3, FU_4 служат для защиты трансформатора от короткого замыкания в цепи нагрузки.

Трансформаторы напряжения имеют буквенно-цифровое обозначение. Буквы обозначают конструкцию, цифры после дефиса – номинальное высокое напряжение. Например: НОМ–10 – трансформатор напряжения, однофазный, масляный на напряжение 10 кВ.

9.2.3. Датчики постоянного тока

Основой простейшего датчика постоянного тока является шунт, который представляет собой низкоомный резистор. Шунт включается параллельно некоторому участку цепи, через который проходит только часть измеряемого тока, большая часть тока протекает через шунт.

Шунт может использоваться для расширения пределов измерения амперметра постоянного тока магнитоэлектрической системы. Шунт подключается параллельно зажимом амперметра, в этом случае только часть измеряемого тока идет через амперметр, и предел измерения по току расширяется (рис. 9.4).

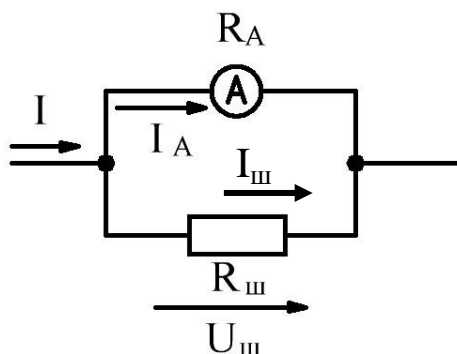


Рис. 9.4. Схема для расширения пределов измерения амперметра A

Необходимое сопротивление шунта $R_{ш}$ рассчитывается по формуле:

$$R_{\text{ш}} = \frac{R_A I_A}{I - I_A} = \frac{R_A}{n - 1},$$

где R_A - сопротивление амперметра; I_A - номинальный ток через амперметр, который соответствует полному отклонению стрелки прибора; I - измеряемый ток; $I_{\text{ш}}$ - ток через шунт.

Коэффициент $n = I/I_A$ показывает, во сколько раз измеряемый ток больше тока через амперметр.

Ток через шунт рассчитывается по формуле:

$$I_{\text{ш}} = \frac{n-1}{n} I.$$

Если, например $n=5$, то ток шунта $I_{\text{ш}} = \frac{4}{5} I = 0,8I$.

Падение напряжения на шунте $U_{\text{ш}} = R_{\text{ш}} I_{\text{ш}}$ при протекании номинального тока I_A составляет определенное стандартное значение (например 75мВ). Низковольтный сигнал $U_{\text{ш}}$, как правило, усиливается. Усилитель позволяет сделать шунт более низкоомным и повысить КПД устройства. Для обеспечения гальванической развязки в датчиках постоянного тока применяются те же устройства, что и в датчиках постоянного напряжения.

Сигнал, пропорциональный току якоря двигателя постоянного тока, может быть получен с помощью шунта. Этот способ применяется главным образом при построении замкнутых схем автоматизированного электропривода

9.2.4. Датчики переменного тока

Датчики переменного тока изготавливаются на базе трансформатора тока. Трансформатор тока служит для передачи информации о величине тока в первичной (сильноточной) цепи высокого напряжения во вторичную цепь с целью ее последующей обработки. В электрических

схемах и в технической документации трансформаторы тока обозначаются буквами (ТТ или ТА).

Трансформатор тока состоит из стального магнитопровода и двух обмоток: первичной и вторичной. Первичная обмотка в зависимости от конструкции трансформатора имеет небольшое число витков, может быть, один виток. В одновитковом трансформаторе первичная обмотка может быть выполнена в виде шины. Первичную обмотку включают последовательно с нагрузкой, в цепи которой необходимо измерить ток, а к вторичной обмотке с большим числом витков подключают амперметр, токовые обмотки ваттметра, токовые реле. Схема включения трансформатора тока представлена на рис. 9.5. Выводы первичной обмотки обозначены буквами Л1, Л2 (линия), вторичной обмотки – буквами И1, И2 (измеритель). Номинальный ток вторичной обмотки принимается равным 5А или 1А. В отличие от трансформатора напряжения, в цепях первичной и вторичной обмоток ТТ установка предохранителей не предусмотрена.

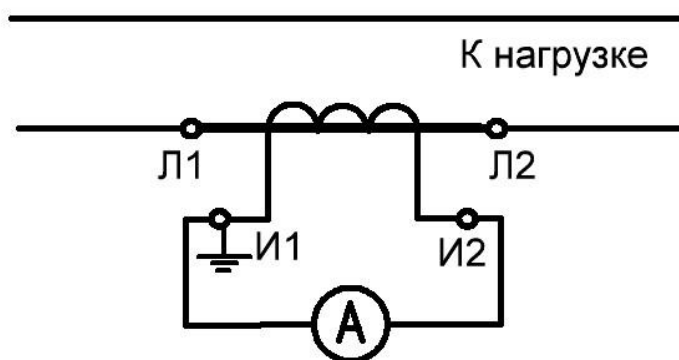


Рис. 9.5. Схематическое обозначение ТТ

Одновременно с преобразованием тока (трансформатор, понижающий по току) ТТ служит для изоляции первичной цепи высокого напряжения от вторичной цепи низкого напряжения. Таким образом амперметр изолируется от высоких напряжений сети. Поэтому измерительные приборы устанавливают обычным способом на распределительных щитах. При этом для безопасности один вывод

вторичной обмотки заземляют для того, чтобы при пробое изоляции между обмотками провод с высоким потенциалом оказался замкнутым на землю.

Так как сопротивление амперметра мало, то можно считать, что трансформатор тока работает в режиме близком к короткому замыканию. В этом случае измеряемый ток I_2 во вторичной обмотке практически определяется значением и характером изменения тока I_1 в первичной обмотке. Ток I_1 в первичной цепи определяется через известный номинальный коэффициент трансформации:

$$K_{\text{ном}} = I_{1\text{ном}} / I_{2\text{ном}} = \frac{W_2}{W_1},$$

где $I_{1\text{ном}}$ – ток первичной обмотки, при котором предусмотрена длительная работа ТТ; $I_{2\text{ном}}$ – номинальный вторичный ток, который принимается равным 5А (или 1 А); W_2, W_1 – число витков вторичной и первичной обмоток. Конструктивно трансформаторы тока выполняют по-разному. Все они обычно имеют несколько коэффициентов трансформации.

Основной задачей ТТ является определение тока первичной цепи:

$$I_1 = K_{\text{ном}} \cdot I_2.$$

Реальный ТТ вносит некоторую погрешность в коэффициент трансформации, связанную с активными потерями в трансформаторе. Для ТТ минимальные потери будут в режиме короткого замыкания его вторичной обмотки.

Измеряемый ток I_1 , протекая по первичной обмотке с низким сопротивлением, создает на ней очень небольшое падение напряжения, которое трансформируется во вторичную обмотку. Так как число витков во вторичной обмотке W_2 значительно больше, чем у первичной W_1 , то на ней получается значительно большее напряжение при меньшем токе.

Вторичную обмотку работающего трансформатора тока нельзя размыкать и оставлять разомкнутой. Она всегда должна быть замкнута на амперметр или закорочена. При разомкнутой вторичной обмотке магнитный поток в сердечнике обусловлен лишь большим током

первичной обмотки, а не разностью магнитных поток первичного и вторичного токов. Этот большой магнитный поток создает на вторичной обмотке высокое напряжение, опасное для жизни. Кроме того, большой магнитный поток приводит к сильному возрастанию магнитных потерь в стали, что приводит к перегреву сердечника.

Схема датчика переменного тока на основе трансформатора тока приведена на рис. 9.6. Вторичная обмотка трансформатора замкнута непосредственно на низкоомной резистор R_1 . При этом синусоидальное напряжение на этом резисторе будет пропорционально току первичной обмотки.

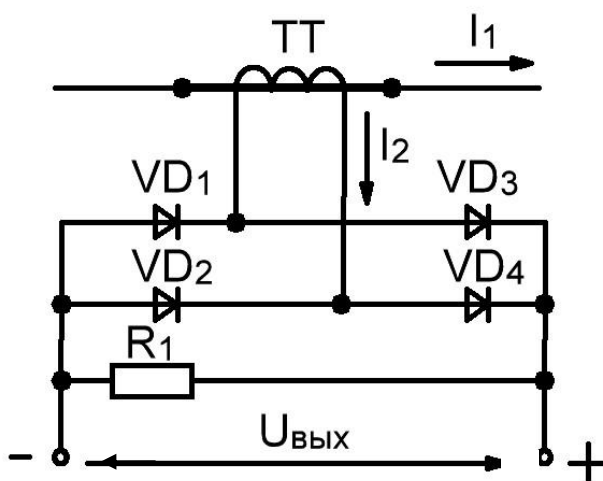


Рис.9.6. Датчик переменного тока

Для получения постоянного напряжения, пропорционального среднему значению переменного синусоидального тока во вторичной обмотке, применяют двухполупериодный мостовой выпрямитель на диодах. Таким образом, действующее значение тока вторичной обмотки пропорционально действующему значению тока первичной обмотки ($I_2 \sim I_1$), следовательно, среднее значение выпрямленного тока $I_{\text{ср}} \sim I_2$ и выходное напряжение на резисторе $U_{\text{вых}} = U_{\text{ср}} = I_{\text{ср}} \cdot R_1 \sim I_1$. Для увеличения среднего значения выпрямленного напряжения параллельно резистору R_1 включается конденсатор.

9.3. Датчики постоянного тока на основе эффекта Холла

Основным элементом датчиков является тонкая прямоугольная пластина полупроводника (n-Si, n-Ge и др) с четырьмя электродами (рис. 9.7). Принцип действия датчиков Холла основан на эффекте Холла, который заключается в следующем.

Одна пара контактов подключена к коротким сторонам пластины для подведения тока I . Эти контакты называются токовыми. Другая пара выходных контактов предназначена для съема напряжения Холла U_x . Если в цепи токовых электродов течет ток I , а полупроводниковую пластину перпендикулярно ее длинной боковой поверхности пронизывает магнитный поток с индукцией B , то на движущиеся заряды в полупроводнике (дырки по указанному направлению тока, а электроны – в противоположном направлении) действует сила Лоренца.

Направление этой силы перпендикулярно плоскости, где лежат векторы V и B (V скорость перемещения электрических зарядов). Эта сила смещает заряды с их прямолинейного пути. В результате на верхней грани образуется избыточный положительный заряд, а на нижней грани – избыточный отрицательный заряд. Это обуславливает появление напряжения Холла U_x на выходных электродах.

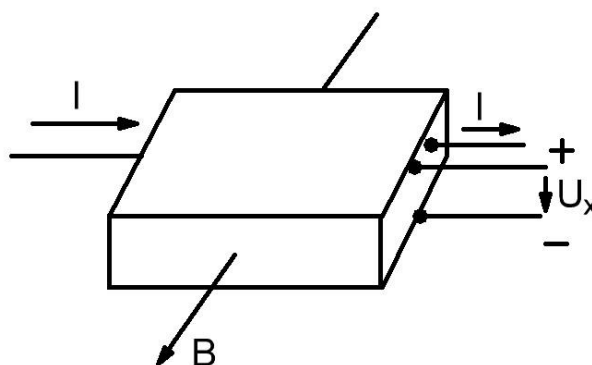


Рис. 9.7. Датчик тока на основе эффекта Холла

Напряжение Холла определяется выражением:

$$U_x = K_x \sin \alpha IB / \delta,$$

где K_x – постоянная Холла; I – ток в пластине; B – индукция магнитного поля; α – угол между векторами \vec{V} и \vec{B} ; δ – толщина пластины.

В соответствии с рис. 9.6 угол $\alpha = 90^\circ$, следовательно

$$U_x = K_x IB / \delta = K_x IB,$$

где $K_x = K_x / \delta$ – передаточный коэффициент датчика тока.

Если известна магнитная индукция $B = const$, то измеряя напряжение U_x , можно определить ток I через пластину:

$$I = U_x / K_x B.$$

При известном значении тока I , измеряя напряжение U_x , можно определить индукцию B магнитного поля.

Датчики тока из металла практически не применяются, так как в них возникает очень малая величина напряжения U_x , соизмеримая с помехами. В полупроводниках с электронной проводимостью напряжения U_x достигает единиц вольт. Монокристаллические датчики изготавливают в виде очень тонких пластин, которые с целью увеличения механической прочности покрываются синтетическими смолами. Для большой прочности пластины устанавливают на керамическую подложку.

Применяются и пленочные датчики, которые изготавливают распылением полупроводникового материала по поверхности изолирующей подложки из слюды. Чтобы осуществить электрическую изоляцию пленки и ее защиту от механических повреждений, применяют лаковые покрытия.

Датчик Холла может работать как на постоянном, так и на переменном токе.

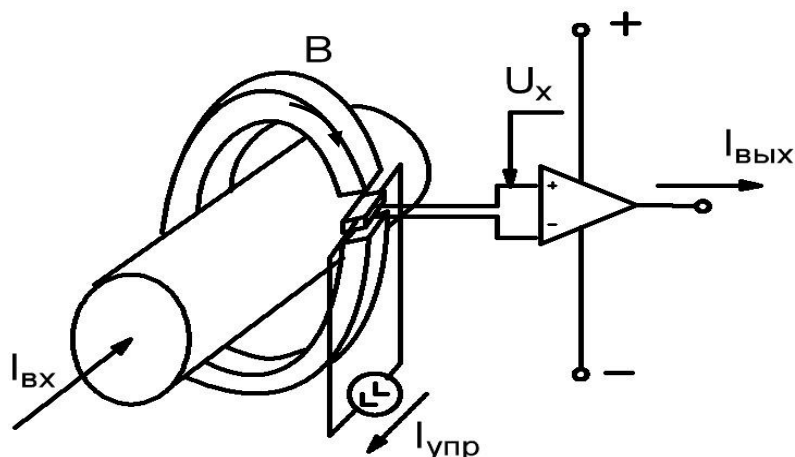


Рис. 9.8. Датчик тока прямого усиления на основе эффекта Холла

Рассмотрим принцип работы датчика постоянного тока прямого усиления, основанного на эффекте Холла (рис.9.8). В этих датчиках магнитное поле с индукцией B создается измеряемым током $I_{ВХ}$, который протекает в проводнике круглого сечения. В небольшой вырез магнитопровода помещается пластина датчика Холла. Ток управления $I_{упр}$ через пластину датчика подается от стабилизированного источника тока. Напряжение Холла $U_Х$, зависящее от тока $I_{ВХ}$, преобразуется операционным усилителем в выходной ток датчика $I_{ВЫХ}$, пропорциональный току $I_{ВХ}$ ($I_{ВЫХ} \sim I_{ВХ}$).

Датчики прямого усиления позволяют измерять ток от нескольких ампер до нескольких сотен ампер. Датчики отличаются низкой потребляемой мощностью и небольшими габаритами.

Искажения в измеряемой величине напряжения Холла и погрешности датчика возникают с появлением термо – ЭДС и гальванических ЭДС в местах соединения металлических выводов с полупроводниковым материалом. Чтобы исключить появление ЭДС Холла при нулевом внешнем сигнале ($B=0$), необходимо расположить выходные электроды по краям пластины на одном эквипотенциальном уровне.

Колебания температуры вызывают изменения постоянной Холла и удельного электрического сопротивления пластины. Для их компенсации используют специальные схемы.

Датчики тока компенсационного типа имеют встроенную компенсационную цепь, которая позволяет существенно улучшить характеристики датчиков. Выходной ток, пропорциональный напряжению Холла, действует как сигнал обратной связи. Компенсационные датчики могут измерять ток от нескольких сотен ампер до нескольких сотен тысяч ампер. Датчики имеют высокую точность (десятые доли процента), хорошую линейность, малый температурный дрейф, хорошую помехоустойчивость и очень хорошее быстродействие. Компенсационные датчики без повреждений выдерживают токовые перегрузки.

Датчики на основе эффекта Холла находят широкое применения в системах промышленной и бытовой автоматики, а также в силовых электронных устройствах для измерения постоянного и переменного тока или напряжения с гальванической развязкой.

Датчики напряжения, основанные на эффекте Холла, создаются по тем же принципам, что и датчики тока. Главное отличие состоит в первичной (входной) цепи, катушка которой должна иметь большое количество витков. За счет этого снижается значение потребляемого первичного тока. Для измерения напряжения необходимо, чтобы входной ток был пропорционален измеряемому напряжению. Это достигается с помощью резистора, последовательно соединенного с катушкой входной цепи. Этот резистор может быть внешним или встроенным.

9.4. Магнитострикционные датчики давления (усилия)

Магнитное поле, воздействуя на ферромагнитные материалы, вызывает изменения, определяемые прямым магнитострикционным эффектом (линейных размеров или механических свойств материала). При

обратном магнитострикционном эффекте любые механические напряжения и изменение размеров под воздействием внешних сил приводят к изменению формы петли гистерезиса и соответственно к изменению формы кривой намагничивания ферромагнитного материала, а также значений коэрцитивной силы, индукции насыщения и остаточной индукции.

На обратном магнитострикционном эффекте построены датчики усилий, в которых в результате механического воздействия на ферромагнитный магнитопровод изменяется индуктивность системы.

Датчик давления (прессдуктор) (рис. 9.9) состоит из замкнутого шихтованного (ферромагнитного) магнитопровода 1, в средней части которого размещена обмотка 2, которая подключена к источнику переменного напряжения u . В качестве ферромагнитного материала применяется пермаллой (сплав из 80 % никеля и 20 % железа), имеющий большую величину относительной магнитной проницаемости μ и допускающий механические усилия P до 70-80 МПа.

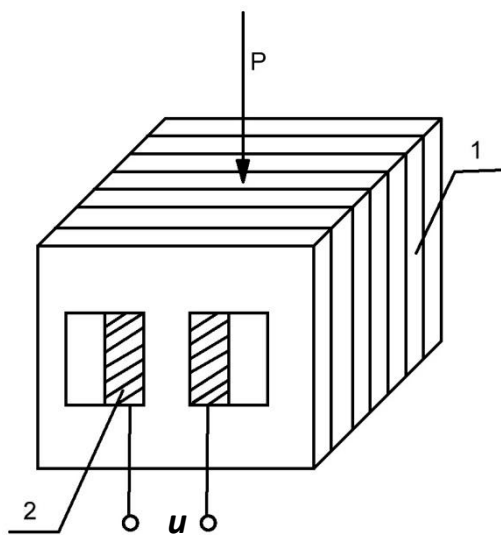


Рис. 9.9. Магнитострикционный датчик давления

Под действием силы P магнитопровод деформируется, что приводит к изменению относительной магнитной проницаемости μ и индуктивности L обмотки. При увеличении сжимающей силы P в указанном направлении

уменьшаются магнитная индукция и магнитный поток, что приводит к уменьшению относительной магнитной проницаемости μ . В результате уменьшается индуктивность L обмотки и ее индуктивное сопротивление ωL , что приводит к увеличению тока. Тепловые потери в обмотке и магнитопроводе датчика незначительны, поэтому действующее значение тока практически равно $I \approx U / \omega L$. Таким образом, ток I в обмотке является функцией давления P .

Рабочую точку на кривой намагничивания сердечника следует выбирать такой, чтобы работать в зоне с максимальной магнитной проницаемостью.

В некоторых конструкциях датчика тонкая пластина пермаллоя с обмоткой прикладывается к детали так же, как тензодатчик.

Погрешности датчика вызываются колебаниями питающего напряжения и температуры. Для снижения погрешности из-за изменения напряжения магнитострикционные датчики должны питаться от стабилизированных источников питания. Нагрев датчика способствует разориентации магнитных моментов доменов ферромагнитного магнитопровода, что приводит к уменьшению относительной магнитной проницаемости примерно на 0,1 % – на один градус. Для компенсации температурной погрешности используется мостовая схема, в одно плечо которой включается измерительный датчик, а в другое – компенсационный датчик, не подвергающийся воздействию давления.

Рассмотрим магнитострикционный датчик давления трансформаторного типа (рис. 9.10). Датчик имеет магнитосвязанные первичную (входную) и вторичную (выходную) обмотки. Первичная обмотка подключается к синусоидальному напряжению u_1 , а вторичная обмотка (сигнальная) находится в режиме холостого хода, к ней может подключаться вольтметр.

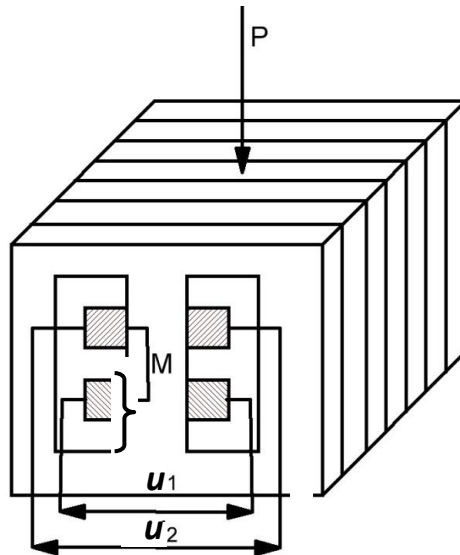


Рис. 9.10. Магнитострикционный датчик усилия трансформаторного типа

Приложение механической силы P к пермаллоевому магнитопроводу из - за проявления магнитострикционного эффекта приводит к уменьшению относительной магнитной проницаемости μ в направлении сжимающей силы P . В результате уменьшается взаимная индуктивность M магнитно - связанных катушек.

В первичной обмотке протекает ток I_1 (действующее значение синусоидального тока), а действующее значение напряжения на вторичной обмотке будет равно

$$U_2 = \omega M I_1,$$

где ω – угловая частота, ωM – индуктивное сопротивление взаимоиндукции. В результате с уменьшением взаимной индуктивности M напряжение U_2 уменьшается. Таким образом, напряжение U_2 определяется величиной контролируемого усилия P .

Трансформаторные датчики надежны в эксплуатации, имеют значительный выходной сигнал, который без усиления может использоваться в последующих элементах схемы. К недостаткам можно отнести увеличенные габаритные размеры, а также чувствительность к колебаниям напряжения и частоты питающей сети.

9.5. Датчики скорости (энкодеры)

Датчики служат для измерения частоты вращения вала двигателя. Рассмотрим датчик с применением геркона и постоянного магнита (рис. 9.11).

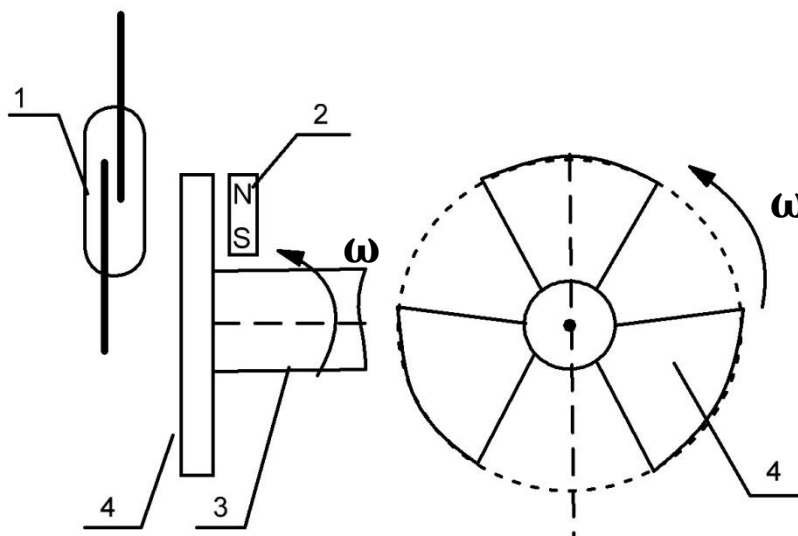


Рис. 9.11. Датчик частоты вращения вала на герконе

Геркон 1 представляет собой стальные упругие пластины (контакты), помещенные в герметизированную стеклянную колбу, заполненную инертным газом. При воздействии управляющего магнитного поля контакты замыкаются, а при его отсутствии размыкаются. Таким образом, геркон – это электрическое реле с магнитоуправляемыми контактами.

Между герконом 1 и постоянным магнитом 2 вращается профилированный ферромагнитный диск 4, укрепленный на валу 3, частоту вращения которого нужно контролировать. При вращении вала диск своими лепестками периодически экранирует геркон от воздействия магнитного поля постоянного магнита 2. Это приводит к периодическому замыканию и размыканию контактных пластин геркона. Выходные концы контактных пластин геркона подключены к счетчику импульсов. Определяя количество импульсов за единицу времени, можно определить частоту вращения вала.

На рис. 9.12 показан другого вида датчик частоты вращения на герконах. Постоянный магнит 2 укреплен с помощью специальных прокладок на вращающемся с угловой частотой ω валу 3. Параллельно продольной оси магнита неподвижно закреплен геркон 1, так чтобы продольная ось вала проходила через середину перекрытия контактных пластин геркона. За один оборот вала дважды произойдет замыкание и размыкание контактных пластин геркона. Выходы контактных пластин подсоединены к счетчику импульсов. По показаниям счетчика можно определить частоту вращения вала.

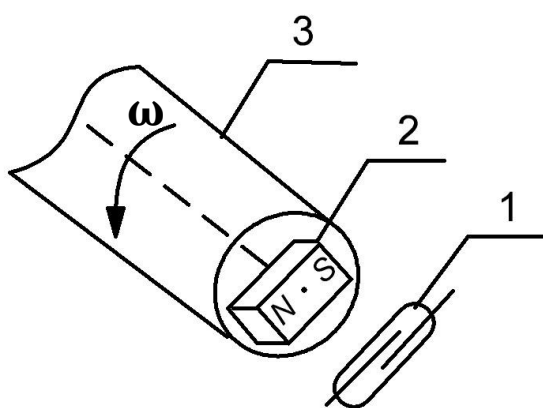


Рис.9.12. Датчик частоты вращения с магнитом на валу

Для определения частоты вращения вала двигателя используется датчик, состоящий из светодиода 1 и фотозлемента, в качестве которого применяется фототранзистор 2 (рис. 9.13.). На валу 3 двигателя остановлен диск 4 с отверстиями. При вращении вала световой поток F через отверстие в диске попадает на базу фототранзистора, в результате увеличивается число носителей заряда в базе, что приводит к увеличению тока эмиттера I_3 . В результате появляется выходное напряжение $U_{\text{вых}}$. Когда световой поток перекрывается диском, тепловой ток I_3 практически равен нулю, $U_{\text{вых}}=0$. Таким образом, выходное напряжение датчика представляет последовательность прямоугольных импульсов, частота которых определяется числом отверстий в диске и скоростью вращения вала. Выходные импульсы подаются на счетчик импульсов.

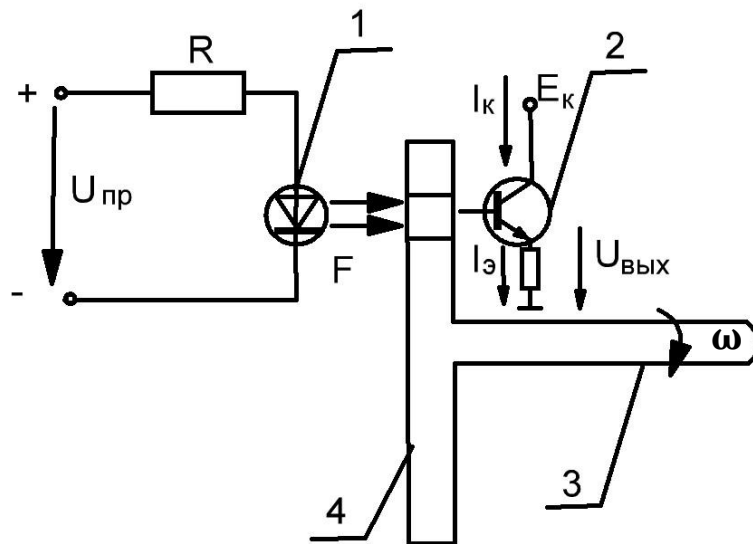


Рис. 9.13. Датчик частоты вращения с фотоэлементом

9.6. Импульсный индукционный датчик

Для измерения частоты вращения могут применяться импульсные индукционные датчики (рис. 9.14).

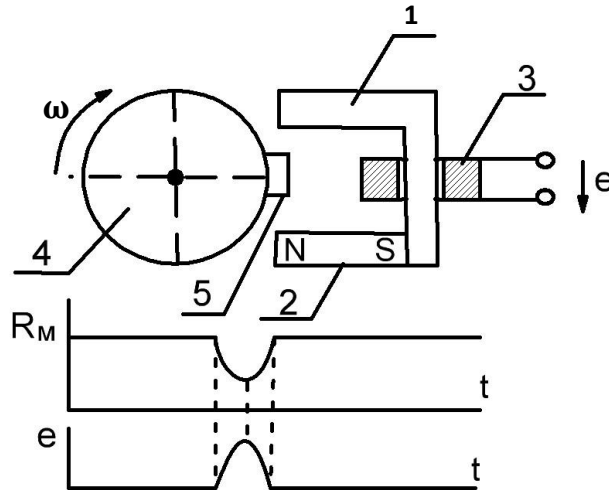


Рис. 9.14. Импульсный индукционный датчик

На валу 4, частоту вращения которого контролируют, укреплен стальной зуб 5. При прохождении зуба мимо рабочего воздушного зазора магнитное сопротивление R_M системы, состоящей из стального магнитопровода 1 и воздушного зазора, изменяется. В результате

магнитный поток Φ , источником которого является постоянный магнит 2, при прохождении стального зуба вблизи воздушного зазора увеличивается, а после ухода зуба – уменьшается. Изменение магнитного потока приводит к появлению ЭДС индукции в обмотке 3:

$$e = -W \frac{d\Phi}{dt} ,$$

где W – число витков обмотки.

При уменьшении магнитного сопротивления и возрастании магнитного потока в системе ЭДС e в выходной обмотке 3 увеличивается, а при увеличении магнитного сопротивления и уменьшении магнитного потока при уходе стального зуба из рабочего воздушного зазора ЭДС в обмотке уменьшается. Таким образом, при вращении вала на выходе обмотки 3 появляются положительные импульсы, которые поступают на счетчик импульсов.

Недостатком этого метода является необходимость укрепления стального зуба на валу. Достоинство датчика: высокая точность измерения, которая не зависит от качества выполнения магнитной системы, старения магнита и расстояния между валом и магнитом

9.7. Тахогенераторы (тахометры)

Тахогенератор – это датчик частоты вращения вала. По конструктивному исполнению датчики делятся на два вида: тахогенераторы постоянного тока и тахогенераторы переменного тока.

Рассмотрим тахогенератор постоянного тока.

Это генератор малой мощности, в котором на статоре (стальной цилиндр) укреплен постоянный магнит, создающий постоянный магнитный поток Φ внутри генератора. Якорь генератора представляет собой многослойный цилиндр из электротехнической стали, вращающийся между полюсами статора, его ось совпадает с осью статора. В пазах якоря

по его периферии находится обмотка якоря, представляющая собой замкнутую цепь из последовательно соединенных проводников (секций).

Принцип действия генератора основан на явлении электромагнитной индукции при вращении якоря в постоянном магнитном поле. В проводниках секций обмотки якоря индуцируется переменная ЭДС, для ее выпрямления используется коллектор – это цилиндр на валу якоря, но имеющий меньший диаметр. На внешней поверхности коллектора укреплены изолированные между собой медные пластины, каждая из которых связана с проводниками секций обмотки якоря. К коллектору с противоположных сторон прижаты графитовые щетки, служащие для снятия индуцированной ЭДС. Щетки располагаются перпендикулярно направлению магнитного потока. Таким образом, коллектор и щетки представляют собой механический выпрямитель – переменная ЭДС в секциях обмотки якоря преобразуется в постоянную ЭДС между щетками. В некоторых случаях используются полупроводниковые выпрямители.

ЭДС E между щетками при постоянном магнитном потоке Φ пропорционально частоте вращения якоря n :

$$E = C_E \Phi n,$$

где C_E – машинная константа.

Шкала вольтметра, подключенного к выходным клеммам генератора, может быть отградуирована в об/мин вращающегося вала генератора, связанного с валом рабочей машины. ЭДС E используется в системах автоматического регулирования, управления и обработки сигналов.

Важным требованием к датчику является линейность выходной характеристики датчика, представляющей зависимость выходного напряжения тахогенератора $U_{тг}$ от частоты вращения вала n . Условное обозначение датчика показано на рис. 9.15

При холостом ходе $U_{тг}=E$, зависимость между $U_{тг}$ и n является линейной. При нагрузке R_n появляется ток в обмотке якоря $I_{я}$, и

напряжение тахогенератора (без учета сопротивления между щетками и коллектором) уменьшается:

$$U_{\text{тг}} = E - R_{\text{я}} I_{\text{я}},$$

где $R_{\text{я}}$ – сопротивление обмотки якоря.

Ток якоря создает свой магнитный поток, что приводит к уменьшению магнитного потока внутри машины и снижению ЭДС (реакция якоря). В результате нарушается линейность характеристики датчика. Дополнительным источником погрешности является старение постоянного магнита.

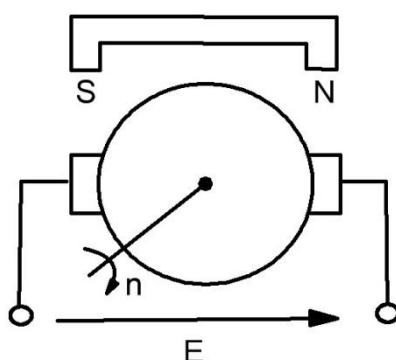


Рис. 9.15. Условное обозначение тахогенератора постоянного тока

С целью повышения линейности характеристика датчика $U_{\text{тг}} = f(n)$ сопротивление нагрузки датчика $R_{\text{н}}$ должно быть значительно больше по сравнению с $R_{\text{я}}$.

Для измерения частоты вращения вала применяются также асинхронные тахогенераторы переменного тока. Они отличаются тем, что в них отсутствуют коллектор и щетки. Цилиндрический статор состоит из стальных листов и имеет две обмотки: обмотка возбуждения, которая подключается к переменному напряжению, и измерительная (генераторная) обмотка, ось которой повернута на 90° относительно обмотки возбуждения. Алюминиевый полый ротор связан с валом, скорость которого контролируется. При вращении ротора в магнитном поле, которое создается синусоидальным током обмотки возбуждения, в

нем индуцируется синусоидальная ЭДС и создаются синусоидальные токи, пропорциональные частоте вращения ротора. Токи в роторе создают синусоидальное поперечное магнитное поле, магнитный поток которого изменяется с частотой питающей сети. Этот магнитный поток индуцирует в измерительной обмотке синусоидальную ЭДС, амплитуда которой пропорциональна частоте вращения ротора.

Датчик имеет более сложную схему включения, его выходная характеристика имеет незначительную нелинейность.

9.8. Индуктивные датчики пути

Эти датчики основаны на изменении индуктивности под воздействием контролируемой величины. Выходной сигнал и его фаза зависят от положения подвижного элемента. Применяются датчики для измерения перемещений. Эти датчики могут работать только с источниками переменного тока.

Рассмотрим индуктивный датчик линейных перемещений (рис.9.16).

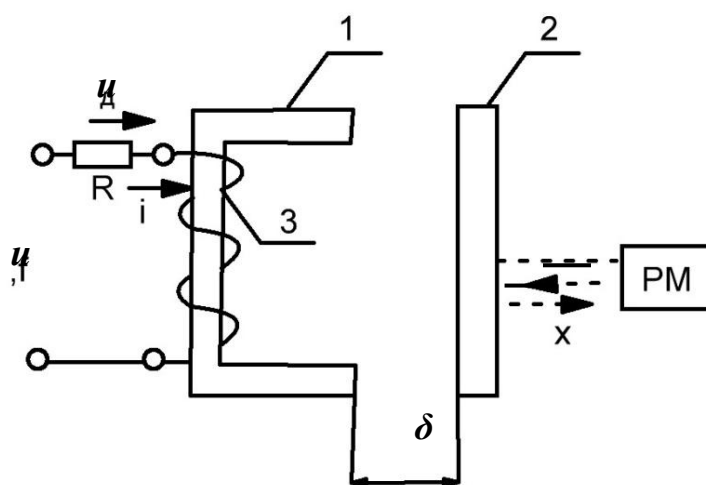


Рис. 9.16. Индуктивный датчик линейных перемещений

Конструктивно датчик подобен П-образному электромагниту с прямоходным движением якоря. Магнитопровод датчика (1 – сердечник, 2 – якорь) выполняется шихтованным из кремнистых сталей. Обмотка 3 датчика включается последовательно с линейным балластным резистором с сопротивлением R , с которого снимается в виде напряжения u_d выходной сигнал датчика. Для повышения чувствительности датчика обмотка выполняется с большим числом витков w . При перемещении (x) рабочего механизма РМ, механически связанного с якорем, происходит изменение воздушного зазора δ . Это приводит к изменению индуктивности L обмотки ($L \sim w^2 / \delta$) и к изменению тока в обмотке. В результате изменяется действующее значение выходного напряжения датчика U_d . Например, при увеличении воздушного зазора δ индуктивность L и индуктивное сопротивление обмотки уменьшаются, а действующие значения тока I и выходного напряжения U_d возрастают. Если не учитывать активное сопротивление обмотки, потери в стали и нелинейность кривой намагничивания ферромагнитного магнитопровода, то можно считать, что связь между напряжением U_d и воздушным зазором δ (при относительно небольших воздушных зазорах) носит линейный характер. Действительная характеристика $I=f(\delta)$ нелинейна при очень малых и больших воздушных зазорах.

Датчики могут контролировать перемещение РМ от долей мм до 10-15 мм. По сравнению с резистивными датчиками они менее чувствительны к изменениям температуры, но весьма чувствительны к изменениям питающего напряжения и частоты. Используются эти датчики обычно в тех случаях, когда требуются ступенчатое или релейное действие исполнительного устройства.

В концевых и путевых индуктивных датчиках конструкция чувствительного элемента выполняется обычно так, чтобы якорь перемещался не в плоскости магнитопровода, а параллельно этой плоскости. В этом случае индуктивность обмотки датчика изменяется не за

счет изменения воздушного зазора δ , а за счет изменения площади S зазора:

$$L \sim S / \delta.$$

Путевой выключатель предназначен для размыкания слаботочных сигнальных цепей в зависимости от положения рабочего органа управляемого электропривода. Частным случаем путевых выключателей являются конечные (концевые) выключатели, обеспечивающие коммутацию сигнальных цепей только в крайних положениях хода рабочего механизма.

В кнопочном путевом выключателе контролируемый рабочий орган воздействует на шток кнопочного элемента. Размыкание и замыкание контактов происходит со скоростью перемещения рабочего органа. Если требуется контролировать перемещение рабочего органа привода с высокой точностью, применяются конечные микровыключатели.

Выпускаются контактные и бесконтактные путевые выключатели. В рассмотренном датчике (рис. 9.16), кроме указанных выше недостатков, существует гальваническая связь между цепью питания и выходной цепью датчика, что ухудшает стабильность характеристики датчика. На якорь датчика действует электромагнитная сила, создающая механическую нагрузку на рабочий механизм, перемещение которого контролируется.

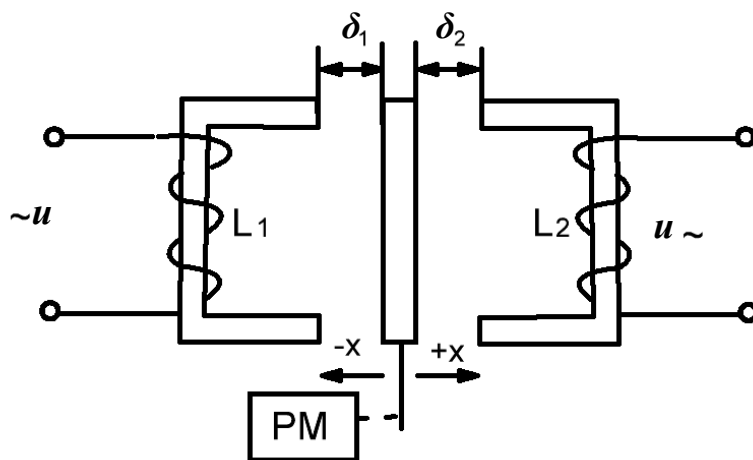


Рис.9.17. Дифференциальный индуктивный датчик

Для устранения этих недостатков применяются дифференциальные индуктивные датчики (рис. 9.17), которые состоят из двух стальных магнитопроводов с общим якорем и двух катушек L_1, L_2 , включенных в мостовую схему (рис. 9.18). Два других плеча моста выполняются в виде активных сопротивлений ($R_1=R_2$).

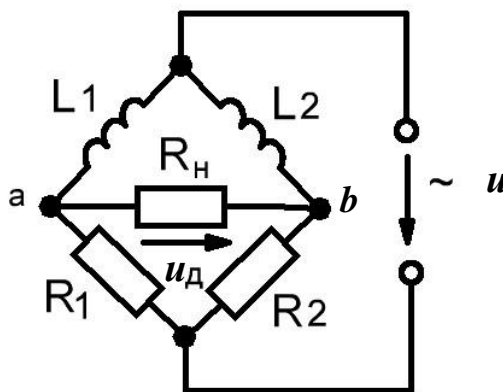


Рис.9.18. Мостовая схема подключения нагрузки к датчику

При нейтральном положении якоря ($\delta_1 = \delta_2$) мост находится в положении равновесия, индуктивные сопротивления одинаковы, потенциалы в точках a и b одинаковы, разность потенциалов на выходе моста равна нулю ($u_d = 0$). При смещении якоря влево или вправо индуктивность и индуктивное сопротивление одной катушки возрастает, а другой – уменьшается. На выходе моста появляется напряжение u_d , причем его фаза будет зависеть от направления смещения якоря. Напряжение датчика u_d может подаваться на выпрямитель, и вольтметр на выходе будет показывать величину и направление перемещения якоря. Датчики такого типа применяются для измерения перемещений от десятых долей мм до 5 мм.

Линейность выходной характеристики дифференциального датчика будет в более широком диапазоне по сравнению с датчиком, изображенным на рис. 9.16. Дифференциальный индуктивный датчик имеет более высокую чувствительность, у него практически

компенсируется погрешности от воздействия электромагнитной силы, колебаний питающего напряжения и температуры.

Как частный случай индуктивных датчиков можно рассматривать трансформаторные датчики. На рис. 9.19 представлена схема трансформаторного датчика линейных перемещений, в котором при перемещении рабочего механизма PM происходит изменение положения стального якоря 3 трапецеидальной формы, что приводит перераспределению магнитных потоков в магнитной системе.

Датчик состоит из трех обмоток: входной обмотки 1, создающей переменный магнитный поток Φ в магнитопроводе, и двух выходных обмоток 2, которые соединяются последовательно и встречно. Магнитный поток Φ разделяется на два потока: Φ' и Φ'' . ($\Phi = \Phi' + \Phi''$), которые соответственно пересекают витки верхней обмотки 2 и нижней обмотки 2. Переменные магнитные потоки Φ' и Φ'' индуцируют в указанных обмотках ЭДС e_1 и e_2 . Разность этих ЭДС определяет выходное напряжение датчика u_2 .

Например, при перемещении якоря 3 слева направо увеличивается магнитный поток Φ' и уменьшается поток Φ'' . В результате ЭДС e_1 возрастает, а ЭДС e_2 уменьшается, появляется выходной сигнал, равный разности этих ЭДС ($u_2 = (e_1 - e_2) > 0$). При обратном движении якоря $e_2 > e_1$ и выходное напряжение u_2 изменяет свою фазу. Таким образом, при изменении положения якоря происходит перераспределение магнитного потока Φ между обмотками 2, что вызывает различие индуцированных ЭДС в этих обмотках. Появляется выходной сигнал, пропорциональный ходу якоря (действующее значение выходного синусоидального напряжения $U_2 \sim x$).

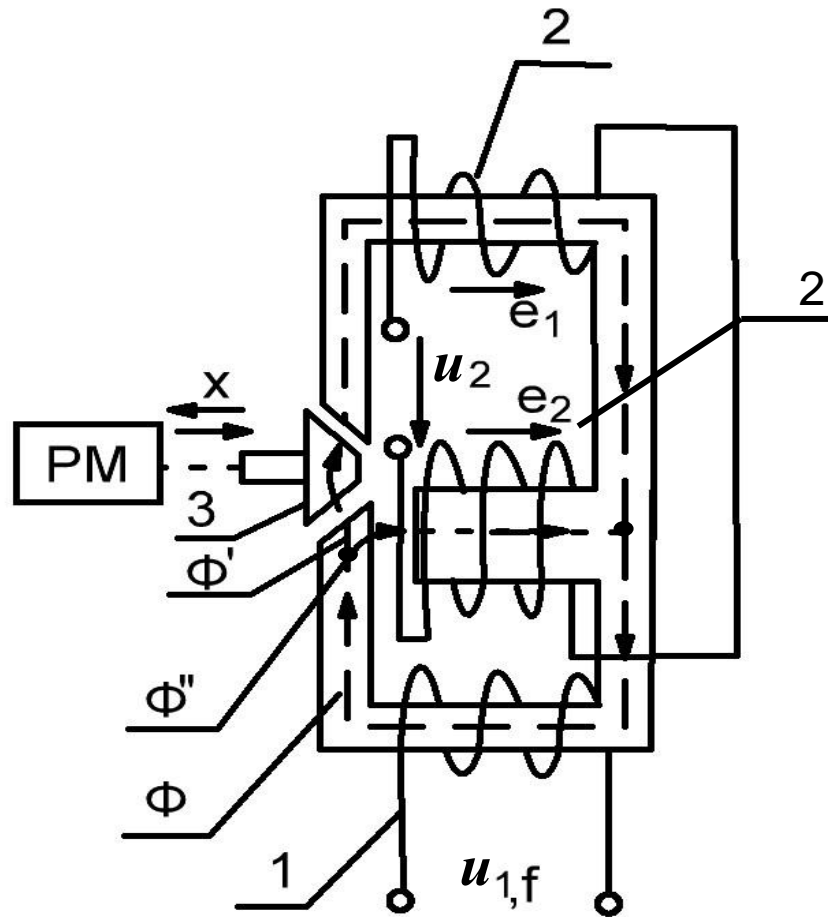


Рис.9.19. Трансформаторный датчик перемещения:
 1 – входная обмотка; 2 – выходные (сигнальные) обмотки;
 3 – якорь; Φ – магнитный поток

Трансформаторные датчики надежны в работе; имеют значительный выходной сигнал, который без усиления может использоваться в последующих элементах схемы; в датчиках отсутствует гальваническая связь между обмотками. К недостаткам можно отнести увеличенные габаритные размеры, массу; чувствительность к колебаниям напряжения и частоты питающей сети.

В качестве путевого выключателя может использоваться индуктивный датчик, у которого параллельно индуктивной катушке включен конденсатор. Обмотка 3 с индуктивностью L неподвижного стального магнитопровода 1 и конденсатор с емкостью C представляют

измерительную схему в виде параллельного контура, последовательно с которым включена обмотка K промежуточного электромагнитного реле. Вся электрическая цепь подключена к источнику синусоидального напряжения u . Параметры L и C подобраны таким образом, чтобы при симметричном положении якоря 2 относительно магнитопровода 1 в электрической цепи установился режим резонанса токов (индуктивная проводимость B_L равна емкостной проводимости B_C). В этом случае действующее значение тока в цепи будет минимальным. При таком токе контакты реле K (здесь не показаны) разомкнуты. При перемещении с помощью рабочего механизма PM якоря 1 в положение, указанное пунктиром, условие резонанса нарушается, ток в электрической цепи и обмотке K реле существенно увеличивается. Электромагнитное реле K срабатывает и замыкает свои контакты, сигнализируя, что рабочий механизм PM переместился в нужное положение (рис. 9.20).

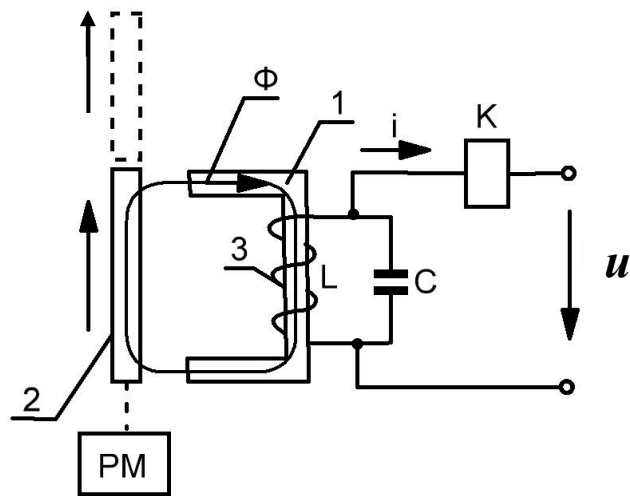


Рис. 9.20. Путьевой выключатель с параллельным контуром L , C

Кроме рассмотренных схем применяются и другие конструкции датчиков пути.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Лачин В.И., Савелов Н.С. Электроника: учебное пособие. - 7-е изд.– Ростов-н/Д.: Изд-во «Феникс», 2009. – 703с.
2. Горбачев Г.Н., Чаплыгин Е.Е. Промышленная электроника. – М.: Академия, 2008. – 320 с.
3. Основы промышленной электроники/ под.ред. В.Г. Герасимова – М.: Высшая школа, 1986. – 336 с.
4. Кузовкин В.А. Электроника. – М.: Логос, 2011. – 328 с.
5. Иванов И.И., Соловьев Г.И., Фролов В.Я. Электротехника и основы электроники. – СПб., М.: ЛАНЬ, 2012. – 736 с.
6. Электрические и электронные аппараты. Том 1/ под ред. Н.А. Годжелло, Ю.К. Розанова. – М.: Академия, 2010. – 352 с.
7. Электрические и электронные аппараты. Том 2/ под ред. Ю.К. Розанова. – М.: Академия, 2010. – 320 с.
8. Электрические и электронные аппараты / под ред. Ю.К. Розанова. – М.: Энергоатомиздат, 1998. – 752 с.
9. Анашкин А.С., Кадыров А.Д., Харазов В.Г. Техническое и программное обеспечение распределенных систем управления. – СПб.: П – 2, 2004. – 367 с.

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ.....	3
ГЛАВА 1. Импульсный режим работы и цифровое представление преобразуемой информации.....	4
ГЛАВА 2. Логические функции и логические элементы.....	9
ГЛАВА 3. Комбинационные логические устройства.....	30
ГЛАВА 4. Триггеры.....	51
ГЛАВА 5. Счетчики импульсов.....	66
ГЛАВА 6. Регистры.....	76
ГЛАВА 7. Дискретно-аналоговые устройства.....	80
ГЛАВА 8. Микропроцессоры и системы отображения цифровой информации.....	88
ГЛАВА 9. Электрические датчики.....	104
БИБЛИОГРАФИЧЕСКИЙ СПИСОК.....	137

**В.К. Пономаренко, Е.В. Хардигов,
А.В. Файзуллаева**

**ЭЛЕМЕНТЫ СИСТЕМ
АВТОМАТИКИ**

Учебное пособие

Редактор и корректор Басова В.А.

Техн. редактор Титова Л.Я.

Темплан 2019 г., поз 68

Подп. к печати 09.09.2019

Формат 60×84/16. Бумага тип. № 1.

Печать офсетная. Печ. л. 8,75. Уч.-изд.л. 8,75. Тираж 100 экз. Изд. № 68

Цена «С». Заказ

Ризограф Высшей школы технологии и энергетики СПбГУПТД, 198095,
Санкт-Петербург, ул. Ивана Черных, 4.